

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 5 日 (05.08.2004)

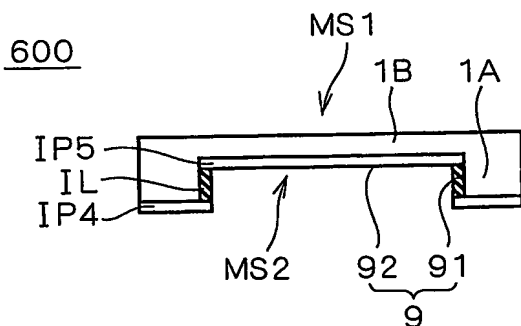
PCT

(10) 国際公開番号
WO 2004/066394 A1

- (51) 国際特許分類: H01L 29/78, 21/02 代田区 丸の内二丁目 2 番 3 号 三菱電機株式会社
内 Tokyo (JP). 楠 茂 (KUSUNOKI, Shigeru) [JP/JP]; 〒
100-8310 東京都 千代田区 丸の内二丁目 2 番 3 号 三
菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/008869
- (22) 国際出願日: 2003 年 7 月 11 日 (11.07.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: PCT/JP03/00443 2003 年 1 月 20 日 (20.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 三
菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI
KAISHA) [JP/JP]; 〒100-8310 東京都 千代田区 丸の内
二丁目 2 番 3 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 徳田 法史
(TOKUDA, Norifumi) [JP/JP]; 〒100-8310 東京都 千
- (74) 代理人: 吉田 茂明, 外(YOSHIDA, Shigeaki et al.); 〒
540-0001 大阪府 大阪市中央区 城見 1 丁目 4 番 7 0 号
住友生命 O B P プラザビル 1 0 階 Osaka (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device having a main current flowing in the thickness direction of a semiconductor substrate in which mechanical strength of the semiconductor substrate as well as the performance and with stand voltage is satisfied, and adjustment of an aligner, or the like, is not required in the photographic plate making process. On the second major surface (MS2) opposite to the first major surface (MS1), a semiconductor substrate (1) having a recess (9) being defined by the side face (91) and the bottom face (92), a semiconductor region (IP5) arranged in the surface on the bottom face (92) of the recess (9) in the semiconductor substrate (1), a semiconductor region (IP4) arranged in the surface of the peripheral region 1A on the second major surface (MS2) side, and an insulating film (IL) provided on the side face

(91) of the recess (9) for insulating the semiconductor regions (IP4) and (IP5) electrically are provided.

(57) 要約: 本発明は半導体装置に関し、特に半導体基板の厚み方向に主電流が流れる半導体装置において、性能と耐圧だけでなく、半導体基板の機械的な強度も満足でき、また写真製版工程に際して露光装置等の調整の手間が不要な半導体装置を提供することを目的とする。そして、上記目的を達成するために、第 1 の主面 (MS1) とは反対側の第 2 の主面 (MS2) に、側面 (91) および底面 (92) によって規定される凹部 (9) を有した半導体基板 (1) と、半導体基板 (1) の凹部 (9) の底面 (92) の表面内に配設された半導体領域 (IP5) と、第 2 の主面 (MS2) 側の周辺領域 1A の表面内に配設された半導体領域 (IP4) と、凹部 (9) の側面 (91) 上に配設され、半導体領域 (IP4) と (IP5) とを電氣的に絶縁する絶縁膜 (IL) とを備えている。

明 細 書

半導体装置

技術分野

本発明は半導体装置に関し、特に半導体基板の厚み方向に主電流が流れる半導体装置に関する。

背景技術

半導体基板の厚み方向に主電流が流れる半導体装置においては、一般的に、基板比抵抗によって決まる所定の厚みまでは、半導体基板の厚みが厚いほど耐圧が高くなり、上記所定の厚み以上では、ほぼ一定の耐圧になる。一方、半導体基板の厚みが厚くなるに従ってオン抵抗が高くなり、電力損失が大きくなって性能は低下する。

以上のことから、半導体基板の厚み方向に主電流が流れる半導体装置においては、性能と耐圧のバランスを考慮して最適な基板厚みを決定することになる。

一方で、半導体装置の製造においては、処理工程途中での半導体基板の割れや、欠け、半導体基板の反りなどの問題を防止する観点から、最適な基板厚みが存在する。

例えば、特開平 8 - 2 1 3 2 9 2 号公報（特許文献 1 と呼称）には、半導体ウエハの重量を軽減する構成が開示されているが、裏面側に複数の凹部を設けることで、機械的強度を低下させず、重量を軽減する構成が開示されている。

特開平 4 - 1 9 2 4 7 4 号公報（特許文献 2 と呼称）には、半導体チップに設けられた回路パターンの不正な解釈を防止するために、半導体チップの裏面に複数の凹部を設けることで、不正な解釈に際して半導体チップが破砕されやすくする構成が開示されている。

また、半導体基板上に写真製版により所定のパターンを形成する際に、半導体基板の厚みが極端に薄いと、既存の露光装置等では焦点深度を調整しなければならず、多大な手間を要するので、写真製版工程の観点からも最適な基板厚みが存在する。

従って、半導体基板の厚み方向に主電流が流れる半導体装置においては、性能と耐圧だけでなく、半導体基板の機械的な強度や、写真製版工程も考慮して基板

厚みを決定しなければならない。これらの条件を満足させるために、エピタキシャル成長基板を用いることが提案されているが、エピタキシャル成長層の厚みを厚くするには時間がかかり、コスト的に高価なものとなっていた。

発明の開示

本発明は、半導体基板の厚み方向に主電流が流れる半導体装置において、性能と耐圧だけでなく、半導体基板の機械的な強度も満足でき、また写真製版工程に際して露光装置等の調整の手間が不要な半導体装置を提供することを目的とする。

本発明に係る半導体装置の第1の態様は、半導体基板の第1の主面に設けられた第1の主電極と、前記半導体基板の第2の主面に設けられた第2の主電極とを備え、前記半導体基板の厚み方向に主電流が流れる半導体装置において、前記半導体基板は、前記第2の主面に設けられた少なくとも1つの凹部を有することで、第1の厚みを有する第1の領域と、前記第1の厚みよりも薄い第2の厚みを有する第2の領域とを少なくとも備え、前記第2の領域は、前記少なくとも1つの凹部の形成領域に対応し、前記第2の主電極は前記凹部内に配設され、前記第2の厚みは、前記半導体装置の耐圧を満たす厚みに設定される。

本発明に係る半導体装置の第1の態様によれば、例えば、第1の厚みを、製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、露光装置等における特別な焦点深度調整を必要としない厚さに設定することで、製造時の不良発生を低減し、製造コストを低減できるとともに、オン抵抗の低減と耐圧の維持のバランスがとれた半導体装置を得ることができる。

本発明に係る半導体装置の第2の態様は、半導体基板の第1の主面に設けられた第1の主電極と、前記半導体基板の第2の主面に設けられた第2の主電極とを備え、前記半導体基板の厚み方向に主電流が流れる半導体装置において、前記半導体基板は、前記第2の主面に設けられた少なくとも1つの凹部を有することで、第1の厚みを有する第1の領域と、前記第1の厚みよりも薄い第2の厚みを有する第2の領域とを少なくとも備え、前記第2の厚みは、前記半導体装置の耐圧を維持する厚みに設定され、前記第2の領域は、前記少なくとも1つの凹部の形成領域に対応し、前記少なくとも1つの凹部内は導体層が埋め込まれ、前記第2の主電極は前記導体層の表面上に配設される。

本発明に係る半導体装置の第2の態様によれば、例えば、第1の厚みを、製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、露光装置等における特別な焦点深度調整を必要としない厚さに設定することで、製造時の不良発生を低減し、製造コストを低減できるとともに、オン抵抗の低減と耐圧の維持のバランスがとれた半導体装置を得ることができる。また、少なくとも1つの凹部内に導体層を埋め込むことで、半導体基板の機械的な強度を高めることができ、半導体装置の製造工程における半導体基板の取り扱いを容易にできる。

この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

図1は、本発明に係る半導体装置に使用される半導体基板の構成を示す断面図である。

図2は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図3は、本発明に係る半導体装置に使用される半導体基板のウエハ状態での構成を示す平面図である。

図4は、本発明に係る半導体装置の実施の形態1の構成を示す断面図である。

図5は、本発明に係る半導体装置の実施の形態2の構成を示す断面図である。

図6は、本発明に係る半導体装置の実施の形態3の構成を示す断面図である。

図7は、本発明に係る半導体装置の実施の形態4の構成を示す断面図である。

図8は、本発明に係る半導体装置の実施の形態5の構成を示す断面図である。

図9は、本発明に係る半導体装置の実施の形態6の構成を示す断面図である。

図10は、本発明に係る半導体装置に使用される半導体基板の他の構成例を示す断面図である。

図11は、本発明に係る半導体装置に使用される半導体基板の他の構成例を示す断面図である。

図12は、本発明に係る半導体装置に使用される半導体基板の他の構成例を示す断面図である。

図13は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面

図である。

図 1 4 は、本発明に係る半導体装置に使用される半導体基板のウエハ状態での構成を示す平面図である。

図 1 5 は、ダイシングラインの配設位置を示す平面図である。

図 1 6 は、ダイシングラインの配設位置を示す断面図である。

図 1 7 は、ダイシングラインを設定した状態の半導体ウエハの構成を示す平面図である。

図 1 8 は、ダイシングラインを設定した状態の半導体ウエハの構成を示す平面図である。

図 1 9 は、フィールドコンタクトリングの配設位置を示す平面図である。

図 2 0 は、フィールドコンタクトリングの配設位置を示す断面図である。

図 2 1 は、複数の凹部を有する半導体基板の構成を示す平面図である。

図 2 2 は、複数の凹部を有する半導体基板のウエハ状態での構成を示す平面図である。

図 2 3 は、複数の凹部を有する半導体基板の構成を示す平面図である。

図 2 4 は、本発明に係る半導体装置に使用される半導体基板の変形例の構成例を示す断面図である。

図 2 5 は、本発明に係る半導体装置に使用される半導体基板の構成を示す断面図である。

図 2 6 は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図 2 7 は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図 2 8 は、本発明に係る半導体装置の実施の形態 7 の構成を示す断面図である。

図 2 9 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 0 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 1 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面

図である。

図 3 2 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 3 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 4 は、本発明に係る半導体装置の実施の形態 7 のより具体的な構成を示す断面図である。

図 3 5 は、本発明に係る半導体装置の実施の形態 7 の構成において、より限定的な使用形態を示す断面図である。

図 3 6 は、本発明に係る半導体装置の実施の形態 7 の変形例 1 の構成を示す断面図である。

図 3 7 は、本発明に係る半導体装置の実施の形態 7 の変形例 2 の構成を示す断面図である。

発明を実施するための最良の形態

本発明に係る実施の形態の説明に先立って、実施の形態に共通する半導体基板の構成について図 1 ～図 3 を用いて説明する。

図 1 は、実施の形態に共通する半導体基板 1 を示す断面図である。

図 1 に示す半導体基板 1 は、第 1 の主面 MS 1 とは反対側の第 2 の主面 MS 2 に、側面 9 1 および底面 9 2 によって規定される凹部 9 を有している。半導体基板 1 は、凹部 9 を有することで、厚み A の周辺領域 1 A (第 1 の領域) と、厚み A よりも薄い厚み B の中央領域 1 B (第 2 の領域) とを有した構成となっている。

すなわち、凹部 9 の底面 9 2 から第 1 の主面 MS 1 にかけての垂直な方向の厚みが厚み B であり、厚み A よりも薄くなっている。

ここで、厚み A は、半導体装置の製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、写真製版工程において、露光装置等における特別な焦点深度調整を必要としない程度の厚みに設定されている。例えば、6 インチの半導体ウエハを例に採れば、500 ～ 650 μm に設定されている。

一方、厚み B は、オン抵抗の低減と耐圧とを考慮して決定され、例えば、600 V の耐圧の半導体装置を想定した場合、60 μm に設定される。

図 2 に半導体基板 1 を、第 1 の主面 M S 1 側から見た場合の平面図を示す。図 2 に示すように、凹部 9 は半導体基板 1 のほぼ中央部に設けられ、その平面形状は矩形である。そして凹部 9 の周囲が厚み A の周辺領域 1 A となっている。なお、図 2 における X - X 線での矢示方向の断面が図 1 に相当する。もちろん、凹部 9 の平面形状は円形でも、楕円形でも、また、より複雑な形状であっても良いことは言うまでもない。

なお、図 1 および図 2 に示した半導体基板 1 は、半導体チップに加工した状態の半導体基板であるが、凹部 9 の形成は半導体ウエハの状態で行う。図 3 には、半導体ウエハ W F 1 において各チップに対応するように凹部 9 を設けた状態を示しており、半導体ウエハ W F 1 の一方の主面に、複数の凹部 9 がマトリクス状に配設されている。この半導体ウエハ W F 1 を所定のダイシングラインに従ってダイシングすることで、複数の半導体基板 1 を得ることができる。

このように、厚さの異なる部分を有する半導体基板 1 を用いて、厚み方向に主電流が流れる半導体装置を製造することで、製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、露光装置等における特別な焦点深度調整を必要とせず、オン抵抗の低減と耐圧の維持のバランスがとれた半導体装置を得るという第 1 の効果を奏する。

また、図 3 に示すように、半導体ウエハ W F 1 上においては、厚みの薄い部分の個々の面積は、ウエハの全面積に比べて小さく、厚みの薄い部分での反りを抑制することができる。また、半導体チップ対応部分が全て同じ構造であるので、例えば、反りが発生しても、半導体チップ間で同様の反りになり、半導体チップ間での特性のばらつきを小さくできるという第 2 の効果を奏する。

また、I G B T (絶縁ゲートバイポーラトランジスタ : insulated gate bipolar transistor) を例に採れば、厚みが薄い中央領域 1 B に、I G B T の特性に関係する部分を形成することで、キャリアのライフタイム制御のために照射するエネルギー線 (電子ビーム、イオンビーム等) の照射エネルギーを低くできる。この結果、ライフタイム制御領域の形成深さの精度を高めて、分布幅の小さいライフタイム制御領域の形成が可能となり、特性バラツキが小さい半導体装置を得

るという第3の効果を奏する。

以下、本発明に係る実施の形態1～6として、半導体基板1を用いて構成された半導体装置の構成について説明する。

A. 実施の形態1

図4に実施の形態1に係る半導体装置100の構成を示す。図4に示すように半導体装置100は、図1を用いて説明した半導体基板1と、当該半導体基板1の凹部9の側面91上および底面92上を含めて第2の主面MS2の全面に配設され、半導体基板1に対してオーミック接触（あるいはショットキー接触）する材料で構成された電極MLとを備えている。

ここで、半導体基板1の材質がシリコンである場合、オーミック接触する材料としては、アルミニウム（Al）またはアルミニウムの合金が使用される。

また、半導体基板1の材質がシリコンである場合、ショットキー接触する材料としては、チタン（Ti）、ハフニウム（Hf）、ニッケル（Ni）およびタングステン（W）等が使用される。

オーミック接触では、金属と半導体層との接合部にバリアが形成されず、双方向に電流を流すことができる。一方、ショットキー接触では、金属と半導体層との接合部にバリアが形成され、一方向には電流を流すことができるが、逆の方向には電流を流すことはできない。従って、ショットキー接触は、それ自体でダイオード（ショットキーダイオード）を構成することができる。

ここで、半導体基板1の凹部9を有する第2の主面に配設される電極MLを、オーミック接触する材料で構成し、当該オーミック電極をコレクタ電極とするIGBTや、当該オーミック電極をアノード電極とするダイオードを構成することで、電流が流れている状態での素子抵抗を小さくでき、動作周波数が比較的低い低周波素子に適した構成となる。

また、電極MLを、ショットキー接触する材料で構成し、当該ショットキー電極をコレクタ電極とするIGBTや、当該ショットキー電極をアノード電極とするダイオードを構成することで、スイッチング時の電力損失が小さい素子を得ることができ、動作周波数が比較的高い高周波素子に適した構成となる。

なお、半導体基板1を用いることにより、先に説明した第1～第3の効果を奏

することは言うまでもない。

B. 実施の形態 2

図 5 に実施の形態 2 に係る半導体装置 200 の構成を示す。図 5 に示すように半導体装置 200 は、図 1 を用いて説明した半導体基板 1 と、半導体基板 1 の凹部 9 の表面内を含めて、第 2 の主面 MS 2 の表面内に全面的に配設された半導体領域 IP 1 とを有している。

ここで、半導体領域 IP 1 の不純物濃度は、半導体基板 1 の不純物濃度に比べて高くなるように設定されている。

例えば、半導体基板 1 の不純物濃度が $1 \times 10^{13} / \text{cm}^3 \sim 1 \times 10^{15} / \text{cm}^3$ とすれば、半導体領域 IP 1 の不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 以上に設定されている。

このように、高濃度の半導体領域 IP 1 を、半導体基板 1 の凹部 9 を有する第 2 の主面 MS 2 の表面内に形成することで、ショットキーバリアを薄くして、第 2 の主面 MS 2 表面をオーミック接触に適した状態にすることができる。

従って、オン抵抗の低減と耐圧とを考慮して決定された厚み B を有する中央領域 1 B に、素子特性に関係する電極、すなわちアノード、カソード、コレクタおよびドレイン等を形成することで、動作特性に優れた IGBT やダイオード、MOSFET (MOS field effect transistor) を得ることができる。

なお、半導体基板 1 を用いることにより、先に説明した第 1 ～第 3 の効果を奏することは言うまでもない。

C. 実施の形態 3

図 6 に実施の形態 3 に係る半導体装置 300 の構成を示す。図 6 に示すように半導体装置 300 は、図 1 を用いて説明した半導体基板 1 と、半導体基板 1 の凹部 9 の表面内を含めて、第 2 の主面 MS 2 の表面内に全面的に配設された半導体領域 IP 2 とを有している。

ここで、半導体領域 IP 2 の不純物の導電型は、半導体基板 1 の不純物の導電型とは逆の導電型に設定されている。

例えば、半導体基板 1 の不純物の導電型が N 型である場合には、半導体領域 IP 2 の不純物の導電型は P 型に設定する。これにより、第 2 の主面 MS 2 側が A

ノードとなったダイオードを得ることができる。

なお、半導体基板 1 の不純物の導電型と、半導体領域 I P 2 の不純物の導電型とを入れ替えた場合には、第 2 の主面 M S 2 側がカソードとなったダイオードを得ることができる。

なお、半導体基板 1 を用いることにより、先に説明した第 1 および第 2 の効果を奏することは言うまでもない。

D. 実施の形態 4

図 7 に実施の形態 4 に係る半導体装置 4 0 0 の構成を示す。図 7 に示すように半導体装置 4 0 0 は、図 1 を用いて説明した半導体基板 1 と、半導体基板 1 の凹部 9 の表面内を含めて、第 2 の主面 M S 2 の表面内に全面的に配設された半導体領域 I P 3 とを有している。

ここで、半導体領域 I P 3 の不純物の導電型は、半導体基板 1 の不純物の導電型と同じ導電型に設定されている。

例えば、半導体基板 1 の不純物の導電型が N 型である場合には、半導体領域 I P 3 の不純物の導電型は N 型に設定する。そして、第 1 の主面 M S 1 側に P 型の半導体領域（図示せず）を設けることで、第 2 の主面 M S 2 側がカソードとなったダイオードを得ることができる。

なお、半導体領域 I P 3 の不純物濃度を半導体基板 1 の不純物濃度よりも高く設定すれば、図 5 を用いて説明した実施の形態 2 と同様に、第 2 の主面 M S 2 表面をオーミック接触に適した状態にすることができる。

なお、半導体基板 1 を用いることにより、先に説明した第 1 および第 2 の効果を奏することは言うまでもない。

E. 実施の形態 5

図 8 に実施の形態 5 に係る半導体装置 5 0 0 の構成を示す。図 8 に示すように半導体装置 5 0 0 は、図 1 を用いて説明した半導体基板 1 と、当該半導体基板 1 の凹部 9 の底面 9 2 上に配設された電極 M L 2 と、第 2 の主面 M S 2 側の周辺領域 1 A 上に配設された電極 M L 1 と、凹部 9 の側面 9 1 上に配設され、電極 M L 1 と M L 2 とを電氣的に絶縁する絶縁膜 I L とを備えている。

このように、半導体基板 1 の凹部 9 の底面 9 2 上に配設された電極 M L 2 と第

2の主面MS 2側の周辺領域1 A上に配設された電極ML 1とを電氣的に絶縁することで、オン抵抗の低減と耐圧とを考慮して決定された厚みBを有する中央領域1 Bと周辺領域1 Aとで、異なる機能や特性を有する半導体素子を形成することができる。

F. 実施の形態6

図9に実施の形態6に係る半導体装置600の構成を示す。図9に示すように半導体装置600は、図1を用いて説明した半導体基板1と、半導体基板1の凹部9の底面9 2の表面内に配設された半導体領域IP 5と、第2の主面MS 2側の周辺領域1 Aの表面内に配設された半導体領域IP 4と、凹部9の側面9 1上に配設され、半導体領域IP 4とIP 5とを電氣的に絶縁する絶縁膜ILとを備えている。

このように、半導体基板1の凹部9の底面9 2の表面内に配設された半導体領域IP 5と第2の主面MS 2側の周辺領域1 Aの表面内に配設された半導体領域IP 4とを電氣的に絶縁することで、オン抵抗の低減と耐圧とを考慮して決定された厚みBを有する中央領域1 Bと周辺領域1 Aとで、異なる機能や特性を有する複数の種類の半導体素子を形成することができる。

例えば、半導体基板1を高抵抗のN型基板とし、第1の主面MS 1上に制御電極および第1の主電極を形成し、第1の主面MS 1側にNチャネルMOSトランジスタを形成する。そして、凹部9の底面9 2の表面内の半導体領域IP 5をP型半導体領域とし、周辺領域1 Aの表面内の半導体領域IP 4をN型半導体領域とし、半導体領域IP 4およびIP 5上にそれぞれ第2の主電極を配設する。

これにより、P型の半導体領域IP 5、N型の半導体基板1およびNチャネルMOSトランジスタでIGBTが構成され、N型の半導体領域IP 4、N型の半導体基板1およびNチャネルMOSトランジスタを構成するP型半導体領域でダイオードが構成される。

なお、上記IGBTおよびダイオードは、第1および第2の主電極に与える電位を変えることで相補的に動作し、ハーフブリッジを構成することができる。

なお、半導体領域IP 4およびIP 5上の第2の主電極は、それぞれカソード電極およびコレクタ電極として動作するが、凹部9の面積を変えることで、カソ

ード電極とコレクタ電極との面積比を変えることができる。

また、周辺領域 1 A に第 2 の主面 MS 2 側から、キャリアのライフタイム制御のためのエネルギー線（電子ビーム、イオンビーム等）を照射してライフタイム制御領域を形成し、周辺領域 1 A のみにおいてライフタイム制御を行うこともできる。これにより、IGBT の動作を損ねることなく、ダイオードのリカバリを低減させることも可能となる。

なお、半導体装置 600 の具体的な構成については、後に、実施の形態 7 においてさらに説明する。

G. 半導体基板の他の構成例

以上説明した実施の形態 1 ～ 6 においては、図 1 に示した 2 種類の厚みを有する半導体基板 1 を使用することを前提として説明したが、厚みの異なる領域を有する基板としては、図 1 に限定されるものではない。

例えば、図 10 に示す半導体基板 2 のように 3 種類の厚みを有した構成であっても良い。すなわち、第 1 の主面 MS 1 とは反対側の第 2 の主面 MS 2 に、異なる深さに底面 9 3 および 9 4 を有する 2 段構造の凹部 9 A を備えている。このため、半導体基板 2 は、厚み A の周辺領域 2 A（第 1 の領域）と、厚み B の第 1 中央領域 2 B（第 2 の領域）と、厚み C の第 2 中央領域 2 C とを有した構成となっている。

すなわち、周辺領域 2 A の厚み A が最も厚く、凹部 9 A の底面 9 3 から第 1 の主面 MS 1 にかけての垂直な方向の厚みが、最も薄い厚み B であり、凹部 9 A の底面 9 4 から第 1 の主面 MS 1 にかけての垂直な方向の厚みが厚み C であり、厚み A と厚み B の中間の厚みとなっている。

ここで、厚み A および厚み B は、半導体基板 1 と同様に 6 インチの半導体ウエハを例に採れば、それぞれ 500 ～ 650 μm および 60 μm に設定されており、厚み C は、例えば、1200 V の耐圧の半導体装置を想定した場合 120 μm に設定される。

このように、半導体基板 2 は、異なる深さに底面 9 3 および 9 4 を有する凹部 9 A を備えることで 3 種類の厚みを有することになり、形成される半導体素子の種類を増やすことができる。

また、図 1 1 に示す半導体基板 3 のように 3 種類の厚みを有した構成であっても良い。すなわち、第 1 の主面 MS 1 とは反対側の第 2 の主面 MS 2 に、深さの異なる凹部 9 および 9 B を備えている。このため、半導体基板 3 は、厚み A の周辺領域 3 A (第 1 の領域) と、凹部 9 の位置に対応する厚み B の最薄領域 3 B (第 2 の領域) と、凹部 9 B の位置に対応する厚み C の中間厚み領域 3 C とを有した構成となっている。なお、厚み A、厚み B および厚み C の大小関係は半導体基板 2 と同様である。

以上、3 種類の厚みを有する半導体基板について説明したが、3 種類の厚みに限定されるものではなく、多段構造の凹部、あるいは深さの異なる複数の凹部を設けることで 3 種類以上の厚みを有した半導体基板を得ることができる。

また、2 種類の厚みを有する半導体基板の構造としては、図 1 の半導体基板 1 に限定されるものでなく、図 1 2 に示すような構造であっても良い。

すなわち、図 1 2 に示す半導体基板 4 は、第 2 の主面 MS 2 の一方のサイドに凹部 9 を有し、凹部 9 の位置に対応する厚み B の最薄領域 4 B (第 2 の領域) と、第 1 領域 4 B の周囲の厚み A の周辺領域 4 A (第 1 の領域) とを有している。なお、凹部 9 が設けられたサイドとは逆のサイドは、凹部を有さず、単一の厚み厚み A だけの単一厚み領域 4 C (第 1 の領域) となっている。

このような構成の半導体基板 4 においては、最薄領域 4 B および周辺領域 4 A においては、半導体基板 1 と同様に基板の厚み方向に主電流が流れる半導体装置を形成し、単一厚み領域 4 C においては、基板の平面方向に主電流が流れる半導体装置を形成することで、異なる機能や特性を有する複数種類の半導体素子を形成することができる。

また、半導体基板 1 の凹部 9 の平面形状は、図 2 を用いて説明したように周辺領域 1 A で囲まれた矩形であったが、図 1 3 に示すようにストライプ状の形状であっても良い。すなわち、図 1 3 に示す半導体基板 5 は、その平行する 2 辺に沿う部分にのみ周辺領域 5 A (第 1 の領域) を有し、当該周辺領域 5 A に挟まれた領域が中央領域 5 B (第 2 の領域) であり、そこが凹部 9 0 の配設位置に対応しているので、凹部 9 0 はストライプ状となっている。なお、図 1 3 における Y-Y 線での矢示方向の断面が図 1 に相当する。

なお、半導体基板 1 のように凹部 9 の周囲を周辺領域 1 A で囲ったり、半導体基板 5 のように凹部 9 0 の両サイドに周辺領域 5 A を設けることで、凹部 9 や凹部 9 0 は基板のほぼ中央に位置することになる。従って、これらの半導体基板を用いて半導体チップを製作する場合に、ダイボンド時に当該半導体チップをダイパッド上に水平に搭載できる。すなわち、4 辺あるいは平行する 2 辺に設けられた周辺領域がダイパッドに接するので、半導体チップがダイパッドに対して傾くことがない。従って、ワイヤボンディングで配線を行う際に、ワイヤと半導体チップとを常に同じ角度でボンディングすることができ、均一なワイヤボンディングが実現できる。この結果、ボンディング部分の接触抵抗の不均一による電流集中を防止することができる。

なお、図 1 3 に示す半導体基板 5 を得るための半導体ウエハの平面構成を図 1 4 に示す。図 1 4 には、半導体ウエハ W F 2 においてストライプ状の凹部 9 0 を設けた状態を示しており、半導体ウエハ W F 2 の一方の主面に、ストライプ状の複数の凹部 9 0 が並列に配設されている。

この半導体ウエハ W F 2 を所定のダイシングラインに従ってダイシングすることで、複数の半導体基板 5 を得ることができる。

H. ダイシングラインと凹部との関係

実施の形態 1 ～ 6 において説明した半導体装置 1 0 0 ～ 6 0 0 は、半導体ウエハの状態での製造過程（ウエハプロセス）が終了した後、所定のダイシングラインに従ってダイシングすることで個々に分割されて、独立したチップとなる。

例えば図 1 および図 2 に示した半導体基板 1 を用いる場合のダイシングラインと半導体基板 1 との位置関係は、図 1 5 に示すような関係となる。

すなわち、半導体基板 1 が縦方向のダイシングライン D L 1 と、横方向のダイシングライン D L 2 によって囲まれている。

ここで、図 1 5 における W - W 線での断面図を図 1 6 に示す。図 1 6 に示すように、ダイシングライン D L 1 および D L 2 の配設領域の厚みは、厚み A となっており、ダイシング時にダイサーの刃が当たって力が加わった場合でも、半導体基板 1 が撓むことが防止され、撓みによって半導体基板 1 が破損したり、ダイシングラインが歪んだりすることを防止できる。

図 17 に半導体基板 1 を得るための半導体ウエハ WF 1 に対してダイシングライン DL 1 および DL 2 を設定した状態の平面図を示す。

また、図 18 には半導体基板 5 を得るための半導体ウエハ WF 2 に対してダイシングライン DL 1 および DL 2 を設定した状態の平面図を示す。

なお、図 18 に示す半導体ウエハ WF 2 においては、縦方向のダイシングライン DL 2 は、ストライプ状の凹部 90 上を横断しており、厚みの薄い部分を切断することになるが、先に説明したように凹部 90 の両サイドは厚い周辺領域 1A となっているので、ダイシング時に半導体基板 1 が撓むことは防止される。

I. フィールドコンタクトリングと凹部との関係

実施の形態 1～6 において説明した半導体装置 100～600 では、第 1 の主面の構造については特に言及しなかったが、高電圧の半導体装置においては、半導体チップの周辺部での電界を緩和するために、第 1 の主面の表面内に、フィールドコンタクトリング（フィールドリミッティングリングとも呼称される）を有した構成が多い。

フィールドコンタクトリングは、基板との間で接合を形成するように、基板の導電型とは反対の導電型の不純物を含んで構成され、ほぼ基板形状に沿った電界を緩和する必要から、厚みの厚い領域に設けることが望ましく、凹部によって厚みが薄くなった領域が、フィールドコンタクトリングにとって必ずしも最適な領域とは言えない場合がある。

そこで、図 19 に示すようにフィールドコンタクトリング FCR を、凹部 9 を囲む周辺領域 1A に設けることで基板主面に垂直な方向の電界の緩和を有効に行うことができる。

図 19 における Z-Z 線での断面図を図 20 に示す。図 20 に示すように、フィールドコンタクトリング FCR の下部には、十分な厚みが確保されているので、過渡的な空乏層の延びに対するマージンを得ることができる。

なお、図 13 を用いて説明したストライプ状の凹部 90 を有する半導体基板 5 においても、フィールドコンタクトリング FCR を設けることは不可能ではない。すなわち、凹部 90 の位置に対応する中央領域 5B の厚み B が、フィールドコンタクトリング FCR の形成深さよりも厚ければフィールドコンタクトリング FCR

Rを設けることができるので、半導体基板5の周辺領域5Aだけでなく中央領域5Bを横断するようにフィールドコンタクトリングFCRを設けることができる。

なお、図19においては、フィールドコンタクトリングFCRによって囲まれる凹部9は1つだけであったが、図11を用いて説明した半導体基板3のように、複数の凹部を有する構成においてもフィールドコンタクトリングを設けることは可能である。

図21には、フィールドコンタクトリングFCRによって囲まれた領域に2つの凹部19を有した半導体基板6の構成を示す。図21において、凹部19の形成領域以外の領域は厚みが厚い領域であり、図21におけるU-U線での矢示方向断面は図11を用いて説明した半導体基板3の断面構造に相当し、V-V線での矢示方向断面が図12を用いて説明した半導体基板4の断面構造に相当すると言うこともできる。

図21に示す半導体基板6のように、複数の凹部を有する半導体基板を得るための半導体ウエハの平面構成を図22に示す。図22には、半導体ウエハWF3において各チップに対応する位置に、それぞれ複数の凹部19を設けた状態を示しており、半導体ウエハWF3の一方の主面に、複数の凹部19がマトリクス状に配設されている。この半導体ウエハWF3を所定のダイシングラインに従ってダイシングすることで、複数の半導体基板6を得ることができる。

なお、半導体基板に設ける凹部は、2つに限定されるものでもなく、また、全てが同じ形状に限定されるものでもなく、それぞれの配設位置が対称な位置関係に限定されるものでもない。

例えば、図23に示す半導体基板60は、平面形状が矩形の凹部191および192、平面形状がL字形の凹部193を有している。凹部191と凹部192とは、形状は矩形でも面積は異なり、凹部191は1つであるが、凹部192は複数設けられている。

これらの凹部を有する半導体基板を得るための半導体ウエハの平面構成は、複数の点状の凹部が半導体ウエハの主面一面に密集したような構成となる。

J. 半導体基板の変形例

以上説明した半導体基板1～6においては、凹部を構成する側面が基板主面に

対して垂直をなすように形成されていた。そのため、第2の主面側から凹部を見た場合、凹部の側面を見ることはできなかった。

しかし、図24に示す半導体基板7の凹部9Cのように、凹部9Cを構成する側面96が、基板主面に対して 90° を超える角度 θ をなすように構成しても良い。これにより、第2の主面側から凹部を見た場合、凹部の側面を見ることができるようになる。ここで、周辺領域7A（第1の領域）は厚みAを有し、中央領域7Bは厚みB（第2の領域）を有する。

なお、図24においては、底面95に対する側面96の傾斜角度を角度 θ として示しているが、これは底面95が基板主面と平行であることを前提としての便宜的な表示である。なお、角度 θ の最大値は 175° 程度である。

このように、側面96の傾斜角度を 90° を超える角度とすることで、凹部9Cが形成された状態の半導体ウェハをスライドさせて搬送するような場合に、凹部9Cの角部が搬送装置の何れかの突起部に引っかかることによる搬送エラーや、角部の欠損を防止できる。

また、凹部9Cの底面95の隅に汚染物質や、余分な堆積物が蓄積することも防止できる。

また、図4に示すように、第2の主面MS2の全面に電極MLを形成する場合や、図5に示すように、第2の主面MS2の表面内に半導体領域IP1を形成する場合には、側面に対する電極MLや半導体領域IP1の形成が容易となる。

なお、図8に示すように、側面上に絶縁膜ILを形成するような場合にも、絶縁膜ILの形成が容易になることは言うまでもない。

K. 実施の形態7

図11を用いて説明した半導体基板3のように深さの異なる複数の凹部を有することで、複数の厚みを有する半導体基板を得ることができるが、図25に示すように、同じ深さの凹部を複数設けることで、同種類の複数の素子を形成するような構成としても良い。

すなわち、図25に示す半導体基板8は、第1の主面MS1とは反対側の第2の主面MS2に、側面97および底面98で規定される凹部9Dを複数備えている。このため、凹部9Dの位置に対応する厚みBの凹部領域8B（第2の領域）

と、凹部領域 8 B 以外で厚み A のメサ領域 8 A (第 1 の領域) とを有した構成となっている。

図 2 6 に半導体基板 8 を第 2 の主面側から見た平面形状の一例を示す。図 2 6 に示すように、凹部 9 D の平面形状はストライプ状であり、複数のストライプ状の凹部 9 D が半導体基板 8 の主面内に並列に配設されている。なお図 2 6 において、複数の凹部 9 D を横切るように切断した断面が図 2 6 の断面構造に相当する。

なお、半導体基板 8 の平面形状の他の例を図 2 7 に示す。図 2 7 に示すように、凹部 9 D の平面形状は矩形状であり、複数の矩形状の凹部 9 D が半導体基板 8 の主面内にマトリクス状に配設されている。

K-1. 装置構成

以下、本発明に係る実施の形態 7 においては、図 2 5 に示す半導体基板 8 を用いて構成された半導体装置 7 0 0 の構成について説明する。なお、半導体基板 8 の平面形状としては図 2 6 に示す形状を想定する。

図 2 8 に本発明に係る実施の形態 6 の半導体装置 7 0 0 の断面構成を示す。なお、図 2 8 に示す断面構成は、図 2 5 に示す半導体基板 8 における 1 つの凹部 9 D に対応して形成される半導体装置の構成を示している。なお、半導体基板 8 は高比抵抗の N 型基板として扱うものとする。

図 2 8 に示す半導体装置 7 0 0 においては、半導体基板 8 の第 1 の主面 M S 1 の表面内に全面に渡って P 型半導体領域 9 0 2 が形成されている。

そして、第 1 の主面 M S 1 の表面から P 型半導体領域 9 0 2 を貫通して半導体基板 8 内に達する 2 つのトレンチ 9 0 3 が設けられ、トレンチ 9 0 3 の内壁面はゲート絶縁膜 9 0 4 によって覆われている。さらに、ゲート絶縁膜 9 0 4 によって囲まれたトレンチ 9 0 3 内の領域には導電体が埋め込まれてゲート電極 9 0 5 を構成している。

また、P 型半導体領域 9 0 2 の表面内には、ゲート絶縁膜 9 0 4 に少なくとも一部が接するように選択的に形成された比較的高濃度の N 型半導体領域 9 0 6 が配設されている。N 型半導体領域 9 0 6 は 2 つのトレンチ 9 0 3 のそれぞれの両サイドに設けられているが、トレンチ間において対向する N 型半導体領域 9 0 6 の間には比較的高濃度の P 型半導体領域 9 0 7 が設けられている。なお、P 型半

導体領域 907 は、P 型半導体領域 902 に対する良好な電氣的コンタクトを得るための構成である。

そして、互いに隣接する N 型半導体領域 906 および P 型半導体領域 907 の上部に接するように第 1 の主電極 908 が配設されている。

第 1 の主電極 908 は N 型半導体領域 906 および P 型半導体領域 907 に、外部端子 E T から電位を与える電極である。なお、第 1 の主電極 908 は半導体装置 700 の動作に応じて、エミッタ電極として機能する場合もあれば、アノード電極またはソース電極として機能する場合もある。また、ゲート電極 905 には外部端子 G T から制御電圧が与えられる。

また、半導体基板 8 の第 2 の主面 M S 2 に設けられた凹部 9 D においては、底面 9 8 に対応する半導体基板 8 の表面内に P 型コレクタ領域 9 1 2 が設けられている。

また、第 2 の主面 M S 2 側のメサ領域 8 A の表面内には、N 型半導体領域 9 1 3 が設けられている。そして、凹部 9 D の側面には側壁絶縁膜 9 1 4 が設けられており、P 型コレクタ領域 9 1 2 と N 型半導体領域 9 1 3 との基板表面での電氣的な分離を行う構成となっている。

そして、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 に接するように第 2 の主電極 9 1 6 a および第 3 の主電極 9 1 6 b が配設されている。

第 2 の主電極 9 1 6 a は、P 型コレクタ領域 9 1 2 に外部端子 C T から電位を与える電極であり、第 3 の主電極 9 1 6 b は N 型半導体領域 9 1 3 に外部端子 K T から電位を与える電極である。なお、第 2 の主電極 9 1 6 a は、コレクタ電極として機能し、第 3 の主電極 9 1 6 b は、半導体装置 700 の動作に応じて、カソード電極として機能する場合もあれば、ドレイン電極として機能する場合もある。

また、メサ領域 8 A 内の第 2 の主面 M S 2 寄りの位置に、キャリアのライフタイムが短くなったライフタイム制御領域 9 1 5 が設けられている。当該領域は、電子ビームやプロトン、H e 等のイオンビームの照射により形成される領域である。

ここで、半導体装置 700 は、第 1 ～第 3 の主電極に与える電圧条件により I

G B T、ダイオードおよびM O S F E Tとして動作する。すなわち、外部端子E Tが接地電位、外部端子C Tが正電位の場合、外部端子G Tに与えられる信号に従ってI G B Tとして動作する。

また、外部端子E Tが接地電位、外部端子K Tが負電位、外部端子G Tにオフ信号が与えられた場合はダイオードとして動作する。

また、外部端子E Tが接地電位、外部端子K Tが正電位の場合、外部端子G Tに与えられる信号に従ってM O S F E Tとして動作する。

半導体装置700では、外部端子C Tと外部端子K Tとが同一の正電位である場合、I G B Tとして動作するようにP型コレクタ領域912とN型半導体領域913（カソード領域）との距離が離れているように設定されている。すなわち、カソードに、設定された微小電流が流れた場合に、コレクタ領域近傍での半導体基板の電位がP N接合の仕事関数差以上になっているように、その間の距離（すなわち抵抗値）が設定されている。

ここで、I G B Tとして動作する場合、第1の主電極908はエミッタ電極となり、第2の主電極916aはコレクタ電極となり、第1の主面MS1に形成されたN型半導体領域906はエミッタ領域、P型半導体領域902はチャネル領域を含むボディ領域となり、P型半導体領域907はボディコンタクト領域となる。

また、ダイオードとして動作する場合、第1の主電極908はアノード電極となり、第3の主電極916bはカソード電極となり、第1の主面MS1に形成されP型半導体領域902はアノード領域、P型半導体領域907はアノードコンタクト領域、第2の主面MS2側のメサ領域8Aの表面内に設けられたN型半導体領域913はカソード領域となる。

また、M O S F E Tとして動作する場合、第1の主電極908は、ソース電極となり、第3の主電極916bはドレイン電極となり、N型半導体領域906はソース領域となり、P型半導体領域902はチャネル領域を含むボディ領域となり、P型半導体領域907はボディコンタクト領域、N型半導体領域913はドレイン領域となる。

K-2. 製造方法

以下、製造工程を順に示す断面図である図 2 9 ～図 3 3 を用いて半導体装置 7 0 0 の製造方法を説明する。

まず、図 2 8 を用いて半導体基板 8 および第 1 の主面 M S 1 側の構成の製造工程を説明する。

なお、第 1 の主面 M S 1 側の構成は、従来より公知の一般的な I G B T または M O S F E T と同様の製造工程を経て形成されるので、公知の技術について説明を省略する。

高比抵抗の N 型の半導体基板 8 は、耐圧クラスによってその比抵抗や、P 型コレクタ領域 9 1 2 の底部とトレンチ 9 0 3 の底部との距離 L が異なるが、例えば耐圧 1 2 0 0 V クラスの場合は、比抵抗は $40 \sim 60 \Omega \text{ cm}$ 、距離 L は $100 \sim 200 \mu\text{m}$ 程度に設定され、それよりも耐圧クラスが低ければ比抵抗は低くなり、距離 L は短くなる。

P 型半導体領域 9 0 2 は、M O S F E T および I G B T として動作する場合は、チャネル領域を含んだボディ領域となるので、M O S F E T または I G B T の閾値電圧に基づいて不純物濃度や深さが設定される。

なお、不純物濃度や拡散深さは、イオン注入条件や、熱拡散条件により決定される。例えば、不純物濃度は、通常は M O S F E T のソース電極または I G B T のエミッタ電極と接する領域で、 $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ となるように設定され、拡散深さはトレンチ溝 9 0 3 を越えない程度に、数 μm の深さに設定される。

また、トレンチ 9 0 3 は、 $2 \sim 10 \mu\text{m}$ のピッチでエッチングにより設けられ、幅は $0.5 \sim 3.0 \mu\text{m}$ 、深さは $3 \sim 20 \mu\text{m}$ に設定される。

トレンチ 9 0 3 の内壁表面に配設されるゲート絶縁膜 9 0 4 は、M O S F E T を構成する絶縁膜であり、ゲート駆動電圧や飽和電流、容量等に基づいて最適な厚みとなるように設定される。一般的には $10 \sim 200 \text{ nm}$ の厚さのシリコン酸化膜が使用され、熱酸化や堆積等により形成される。

トレンチ 9 0 3 内に埋め込まれたゲート電極 9 0 5 は、高不純物濃度の多結晶シリコン膜や、例えばタングステンシリサイド等の高融点金属材料、あるいはそれらの多層膜で構成される。一般的には、トレンチ 9 0 3 の幅の半分以上の厚さ

の導電膜を第1の主面MS1上に堆積した後、異方性エッチング等により平坦化して得られるが、写真製版により所定パターンのマスクを形成した後、導電膜を堆積し、エッチングを行って得ることもできる。

ここで、ゲート電極905の材料の仕事関数値により、P型半導体領域902の最適濃度は変わり、極端な場合、トレンチ903側面に沿ってN型半導体領域を設け、ゲート絶縁膜に接した領域に、エミッタ領域と同一導電型(N型)の薄い層を設けたベリッドチャネル構造とする場合もある。

N型半導体領域906、P型半導体領域907は、何れも写真製版によるパターンニングとイオン注入によって形成され、表面濃度が例えば $1 \times 10^{20} / \text{cm}^3$ 以上に設定される。

第1の主電極908は、N型半導体領域906およびP型半導体領域907を覆うように形成された層間絶縁膜(図示せず)を写真製版とエッチングにより選択的に開口し、例えばアルミニウムとシリコンの化合物で構成される導電膜を堆積して形成される。

また、第1の主電極908上に図示していない保護膜が形成され、上記保護膜の所定部分に設けられた開口孔部を介して外部電源に接続される。

次に、図29～図33を用いて第2の主面MS2側の構成の製造工程を説明する。なお、以下の説明では、第1の主面MS1側においては、第1の主電極908より下層の構成は形成済みであるものとする。

まず、第1の主面MS1側に第1の主電極908より下層の構成を形成した後、図29に示す工程において、第1の主面MS1上をレジストマスクRM1で覆う。

そして、第2の主面MS2上には凹部9Dを設けるための開口部を有するレジストマスクRM2を形成し、当該レジストマスクRM2を用いて異方性エッチングにより半導体基板8をエッチングして凹部9Dを形成する。

凹部9Dの深さは、半導体装置700の耐圧クラスや、半導体基板8の最終厚み、およびコスト等に基づいて最適化された値となるように設定される。なお、コストの許す範囲で、前述したようにP型コレクタ領域912とトレンチ903の底部との距離L(図28参照)が、例えば耐圧1200Vクラスでは100～200 μm となるように設定され、それよりも耐圧クラスが低ければ距離Lは短

くなるように設定される。

なお、凹部 9 D の深さの最小値は、I G B T のコレクタとしての P 型コレクタ領域 9 1 2、M O S F E T としてのドレイン領域 9 1 3（図 2 8 参照）に同一電位を与え、ゲート電極 9 0 5 にチャネルが O N する条件の電圧を印加した場合に、I G B T 動作するように設定される。

従って、凹部 9 D の深さは半導体基板 8 のメサ領域 8 A の比抵抗、P 型コレクタ領域 9 1 2 の不純物濃度、P 型コレクタ領域 9 1 2 と N 型半導体領域 9 1 3 との面積比、定格電流密度、また、M O S F E T 動作から I G B T 動作に変化する際の電圧と電流の関係の許容範囲、すなわちスナップバックの許容範囲等に基づいて設定される。

なお、凹部 9 D の幅やピッチは任意に設定でき、幅は $0.2 \sim 100 \mu\text{m}$ が代表値であるが、上述したように、P 型コレクタ領域 9 1 2 と N 型半導体領域 9 1 3 との面積比にアンバランスが生じないように設定される。

また、凹部 9 D の形成のタイミングは上記に限定されるものではないが、一般的に重金属で構成される電極材料による金属汚染等を考慮すれば、第 1 の主電極 9 0 8 を形成する前が望ましい。

次に、レジストマスク R M 2 を除去した後、図 3 0 に示す工程において、第 2 の主面の全面に絶縁膜 I L 1 を形成する。絶縁膜 I L 1 は、選択酸化や堆積によって形成される。

そして、図 3 1 に示す工程において、凹部 9 D の側面 9 7 のみに側壁絶縁膜 9 1 4 として残るように異方性エッチングを行う。

なお、側壁絶縁膜 9 1 4 は、P 型コレクタ領域 9 1 2 や N 型半導体領域 9 1 3 の形成前後の何れで形成しても良いが、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 の形成に際しては、凹部 9 D の側面 9 7 に対応する領域に、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 に注入される不純物の、数%～数十%に相当する量の不純物が注入される可能性があるので、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 の形成前に側壁絶縁膜 9 1 4 を形成することが望ましい。

次に、第 2 の主面 M S 2 側のメサ領域 8 A の表面内にイオン注入により N 型半

導体領域 9 1 3 を形成した後、図 3 2 に示す工程において、第 2 の主面 MS 2 上に、凹部 9 D に対応する部分か開口部となったレジストマスク RM 3 を配設する。そして、凹部 9 D の底面 9 8 に対応する半導体基板 8 の表面内にイオン注入により P 型コレクタ領域 9 1 2 を形成する。P 型コレクタ領域 9 1 2 の形成に際してのイオン注入は、基板を傾けて回転させることで斜め方向から注入する斜め回転イオン注入を採用することが望ましい。

なお、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 は、何れの不純物濃度も $1 \times 10^{16} \sim 1 \times 10^{21} / \text{cm}^3$ の範囲に設定される。また、形成順序は基本的にはどちらでも良いが、後に説明するように P 型コレクタ領域 9 1 2 を先に形成することが望ましい。

次に、レジストマスク RM 3 を除去した後、図 3 3 に示す工程において、凹部 9 D 内をレジストマスク RM 4 で覆った後、第 2 の主面 MS 2 側から、電子線、プロトンあるいは He イオン等を照射することで、メサ領域 8 A 内の第 2 の主面 MS 2 寄りの位置に結晶欠陥領域を作り、キャリアのライフタイムを短くしたライフタイム制御領域 9 1 5 を形成する。

なお、ライフタイム制御領域 9 1 5 の形成のタイミングは上記に限定されるものではないが、ライフタイム制御領域 9 1 5 のアニールによる活性化の程度は、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 の活性化の程度よりも小さくて良いので、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 のアニール後に形成することが望ましい。

ライフタイム制御領域 9 1 5 は、半導体装置 7 0 0 がダイオードとして動作する場合、キャリア増幅率を抑制し、リカバリ特性を向上させることができる。

以後、レジストマスク RM 1 および RM 4 を除去した後、第 1 の主面 MS 1 上においては第 1 の主電極 9 0 8 を、第 2 の主面上においては第 2 の主電極 9 1 6 a および第 3 の主電極 9 1 6 b を形成することで半導体装置 7 0 0 が完成する。

なお、第 2 の主電極 9 1 6 a および第 3 の主電極 9 1 6 b は、金や銀を含む多層金属膜で構成するので、金属汚染を防止するため、ウエハプロセスの最終工程で形成することが望ましい。

なお、図 2 8 に示した半導体装置 7 0 0 においては、P 型コレクタ領域 9 1 2

に直接に接するように、凹部 9 D の底面 9 8 に第 2 の主電極 9 1 6 a が配設され、第 2 の主電極 9 1 6 a が外部端子 C T に接続される構成を示したが、実際には凹部 9 D の底面 9 8 に第 2 の主電極 9 1 6 a を設けるのではなく、例えば、図 3 4 に示すように、凹部 9 D を導体層 9 2 0 で埋め込み、導体層 9 2 0 の表面上に第 2 の主電極 9 1 6 a を形成する構成を採る。このようにすることで外部端子 C T との接続が容易にできるとともに、凹部 9 D が導体層 9 2 0 で埋め込まれるので、半導体基板 8 の機械的強度が増し、半導体装置の製造工程における半導体基板 8 の取り扱いが容易となる。

ここで、導体層 9 2 0 は、タングステン (W) やチタン (Ti) などの高融点金属層で構成すれば良く、図 3 2 を用いて説明した P 型コレクタ領域 9 1 2 の形成後に凹部 9 D を埋め込む。なお、凹部 9 D の埋め込みは、製造工程の早い段階で行うことが望ましく、凹部 9 D を埋め込んだ後に、N 型半導体領域 9 1 3 やライフタイム制御領域 9 1 5 を形成することで、機械的強度が増した半導体基板 8 に対してイオン注入を施すことになり、半導体基板 8 の搬送等の取り扱いが容易となる。

また、図 2 8 に示した半導体装置 7 0 0 においては、第 2 の主電極 9 1 6 a および第 3 の主電極 9 1 6 b を互いに独立した電極とした構成を示したが、図 3 5 に示す半導体装置 7 0 0 A のように、凹部 9 D を導体層 9 2 0 で埋め込んだ構造とし、N 型半導体領域 9 1 3 の表面および導体層 9 2 0 の表面上の両方に跨るように共通主電極 9 1 6 を配設した構成としても良い。なお、共通主電極 9 1 6 は外部端子 C T に接続される。

このような構成において、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 に同一の正電位が与えられた場合、P 型コレクタ領域 9 1 2 と N 型半導体領域 9 1 3 (カソード領域) との距離が離れているように設定されているので、半導体装置 7 0 0 A は I G B T として動作することができる。

なお、半導体装置 7 0 0 A が I G B T として動作する場合、第 1 の主電極 9 0 8 はエミッタ電極となり、共通主電極 9 1 6 はコレクタ電極となり、第 1 の主面 M S 1 に形成された N 型半導体領域 9 0 6 はエミッタ領域、P 型半導体領域 9 0 2 はチャネル領域を含むボディ領域となり、P 型半導体領域 9 0 7 はボディコン

タクト領域となる。

また、外部端子E Tが接地電位、共通主電極9 1 6が負電位、外部端子G Tにオフ信号が与えられた場合はダイオードとして動作する。

この場合、第1の主電極9 0 8はアノード電極となり、共通主電極9 1 6はカソード電極となり、第1の主面M S 1に形成されP型半導体領域9 0 2はアノード領域、P型半導体領域9 0 7はアノードコンタクト領域、第2の主面M S 2側のメサ領域8 Aの表面内に設けられたN型半導体領域9 1 3はカソード領域となる。

また、半導体装置7 0 0 Aにおいては、第2の主面M S 2上には共通主電極9 1 6だけを設けることで済むので、第2の主面M S 2側に複数の主電極パターンを設ける場合に比べて製造工程を簡略化できる。

L. 変形例 1

以上説明した実施の形態7の半導体装置7 0 0および7 0 0 Aにおいては、第2の主面M S 2側のメサ領域8 Aの表面内には、N型半導体領域9 1 3を設けた構成を示したが、図3 6に示す半導体装置7 0 0 Bのように、N型半導体領域9 1 3の代わりに、P型半導体領域9 1 2 aを設けた構成としても良い。

このような構成を採る場合、P型コレクタ領域9 1 2とP型半導体領域9 1 2 aとの電氣的な分離を行う必要はないので、凹部9 Dの側面に側壁絶縁膜を設ける必要はない。

そして、半導体装置7 0 0 Bにおいては、凹部9 Dを導体層9 2 0で埋め込んだ構造とし、P型半導体領域9 1 2 aの表面および導体層9 2 0の表面上の両方に跨るように共通主電極9 1 6が配設されている。なお、共通主電極9 1 6は外部端子C Tに接続される。

このような構成において、P型コレクタ領域9 1 2およびP型半導体領域9 1 2 aに同一の正電位が与えられた場合、半導体装置7 0 0 BはI G B Tとして動作することができる。

すなわち、半導体装置7 0 0 BがI G B Tとして動作する場合、第1の主電極9 0 8はエミッタ電極となり、共通主電極9 1 6はコレクタ電極となり、第1の主面M S 1に形成されたN型半導体領域9 0 6はエミッタ領域、P型半導体領域

902はチャネル領域を含むボディ領域となり、P型半導体領域907はボディコンタクト領域となる。

なお、半導体装置700Bにおいては、先に説明したように、凹部9Dの側面には側壁絶縁膜が存在せず、凹部9Dを導体層920で埋め込むことで、凹部9Dの側面を規定するN型の半導体基板8に導体層920が接することになるので、IGBT動作に際しては電子が導体層920を介して外部端子CTに流れやすくなるので、高速動作が可能となる。

M. 変形例2

以上説明した実施の形態7の半導体装置700および700Aにおいては、第2の主面MS2側のメサ領域8Aの表面内には、N型半導体領域913を設けた構成を示したが、図37に示す半導体装置700Cのように、N型半導体領域913の代わりに、P型半導体領域912aを設け、さらに凹部9Dの側面を規定するN型の半導体基板8の表面内にP型半導体領域912bを設け、P型コレクタ領域912とP型半導体領域912aとをP型半導体領域912bにより電氣的に接続した構成としても良い。

そして、半導体装置700Cにおいては、凹部9Dを導体層920で埋め込んだ構造とし、P型半導体領域912aの表面および導体層920の表面上の両方に跨るように共通主電極916が配設されている。なお、共通主電極916は外部端子CTに接続される。

このような構成において、P型コレクタ領域912およびP型半導体領域912aに同一の正電位が与えられた場合、半導体装置700CはIGBTとして動作することができる。

すなわち、半導体装置700CがIGBTとして動作する場合、第1の主電極908はエミッタ電極となり、共通主電極916はコレクタ電極となり、第1の主面MS1に形成されたN型半導体領域906はエミッタ領域、P型半導体領域902はチャネル領域を含むボディ領域となり、P型半導体領域907はボディコンタクト領域となる。

なお、半導体装置700Cにおいては、先に説明したように、凹部9Dの側面を規定するN型の半導体基板8の表面内にはP型半導体領域912bが配設され、

凹部 9 D が導体層 9 2 0 で埋め込まれているので、I G B T 動作に際してはホールが P 型半導体領域 9 1 2 b を介して外部端子 C T から半導体装置 7 0 0 C 内に流れ込みやすくなるので、高速動作が可能となる。

また、P 型コレクタ領域 9 1 2、P 型半導体領域 9 1 2 a および P 型半導体領域 9 1 2 b の存在により P 型不純物領域の面積が増えるので、I G B T 動作時の電流が増え、オン電圧を低減できる。

なお、P 型半導体領域 9 1 2 b は、凹部 9 D の底面 9 8 に対応する半導体基板 8 の表面内に P 型コレクタ領域 9 1 2 を形成する際の斜め回転イオン注入を利用することで、製造工程を複雑にすることなく形成することが可能である。この場合、P 型コレクタ領域 9 1 2 の形成時よりも、さらに基板を傾けることで P 型半導体領域 9 1 2 b を形成することができる。

N. 応用例

実施の形態 7 として説明した半導体装置 7 0 0 においては、第 1 の主面 M S 1 側に、一般的なトレンチ型素子を形成した構成を示したが、第 1 の主面 M S 1 側にトレンチ型素子を変形した構成を採用しても良く、また平面型素子を採用しても良い。また、トランジスタ構造ではなくサイリスタ構造を採用しても良い。

また、半導体装置 7 0 0 においては、半導体基板 8 が N 型であることを前提としたが、P 型であっても良いことは言うまでもない。

さらに、半導体装置 7 0 0 では凹部 9 D の底面に P 型コレクタ領域 9 1 2 を設けているが、凹部 9 D の底面の結晶性の粗さ等によっては、凹部 9 D の底面が P 型不純物を導入しなくても実質的に P 型領域として機能する場合には、P 型コレクタ領域は省略しても良い。

なお、底面の粗さについては、その粗さが粗いほど P 型に近い特性となり、P 型不純物を導入する場合でも、凹部底面が粗いほど、鋭角部でのキャリア放出エネルギーが小さくなるので、ホールの注入が起こりやすくなることができ、オン電圧を下げることができる。

このように、P 型コレクタ領域を形成する領域の表面粗さを粗くすることによるオン電圧の低減効果は、半導体基板 8 の第 2 の主面 M S 2 に凹部がなく、P 型コレクタ領域の深さが $2.0 \mu\text{m}$ 以下の、いわゆる N P T (ノンパンチスルー)

型 I G B T に対しても適用可能である。

また、半導体装置 700 においては、第 2 の主電極 916 a および第 3 の主電極 916 b を、それぞれ外部端子 C T および外部端子 K T に接続する構成を示したが、第 2 の主電極 916 a と第 3 の主電極 916 b とを側壁絶縁膜 914 上を介して接続した構成としても良い。

また、半導体装置 700 では、ダイオードとしてのリカバリを抑制するため、ライフタイム制御領域 915 を設けたが、半導体装置 700 の仕様によっては省略できる場合もある。

逆に、P 型コレクタ領域 912 の不純物濃度によっては、ライフタイム制御領域 915 を P 型コレクタ領域 912 よりも第 1 の主面 M S 1 側寄りの位置にも設けることが望ましい場合もある、また、半導体基板 8 のほぼ全域に渡ってライフタイム制御領域を設ける場合もある。

この発明は詳細に説明されたが、上記した説明は、全ての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

請求の範囲

1. 半導体基板（1～8）の第1の主面（MS1）に設けられた第1の主電極と、

前記半導体基板（1～8）の第2の主面（MS2）に設けられた第2の主電極とを備え、前記半導体基板（1～8）の厚み方向に主電流が流れる半導体装置において、

前記半導体基板（1～8）は、前記第2の主面（MS2）に設けられた少なくとも1つの凹部（9，9A～9D）を有することで、第1の厚み（A）を有する第1の領域と、前記第1の厚みよりも薄い第2の厚み（B）を有する第2の領域とを少なくとも備え、

前記第2の領域は、前記少なくとも1つの凹部（9，9A～9D）の形成領域に対応し、

前記第2の主電極は前記少なくとも1つの凹部（9，9A～9D）内に配設され、

前記第2の厚みは、前記半導体装置の耐圧を維持する厚みに設定されることを特徴とする半導体装置。

2. 前記第2の主電極（ML）は、前記半導体基板（1）とオーミック接触あるいはショットキー接触する材料で構成される、請求の範囲1記載の半導体装置。

3. 前記少なくとも1つの凹部（9）の底面に対応する前記半導体基板（1）の表面内に配設され、前記半導体基板（1）の不純物濃度よりも高い不純物濃度を有する半導体領域（IP1，IP2，IP3）をさらに備える、請求の範囲1記載の半導体装置。

4. 前記半導体領域（IP2）の導電型は、前記半導体基板（1）の導電型とは逆の導電型である、請求の範囲3記載の半導体装置。

5. 前記半導体領域（IP3）の導電型は、前記半導体基板の導電型と同じ導電型である、請求の範囲3記載の半導体装置。

6. 前記凹部（9）は、前記半導体装置のほぼ中央部に配設される、請求の範囲1記載の半導体装置。

7. 前記少なくとも1つの凹部(9)の側面に対応する前記半導体基板(1)の表面に配設された絶縁膜(IL)をさらに備える、請求の範囲1記載の半導体装置。

8. 前記半導体基板(1)の前記第1の主面(MS1)の表面内に設けられ、前記半導体装置の周辺部での電界を緩和するフィールドコンタクトリング(FCR)をさらに備え、

前記第2の領域は、前記フィールドコンタクトリング(FCR)で囲まれる領域に配設される、請求の範囲1記載の半導体装置。

9. 前記フィールドコンタクトリング(FCR)は、前記第1の領域に対応する前記半導体基板(1)の前記第1の主面(MS1)の表面内に配設される、請求の範囲8記載の半導体装置。

10. 前記少なくとも1つの凹部(9C)の側面は、前記第2の主面(MS2)に対して90°を超える角度で傾斜する、請求の範囲1記載の半導体装置。

11. 前記半導体基板(8)は第1の導電型であって、

前記半導体基板(8)の前記第1の主面(MS1)の表面内に全面に渡って配設された第2導電型の第1の半導体領域(902)と、

前記第1の主面(MS1)の表面から前記第1の半導体領域(902)を貫通するように配設されたトレンチ(903)と、

前記トレンチ(903)の内壁面を覆うゲート絶縁膜(904)と、

前記ゲート絶縁膜(904)によって囲まれた前記トレンチ(903)内に埋め込まれたゲート電極(905)と、

前記第1の半導体領域(902)の表面内に選択的に配設され、前記ゲート絶縁膜(904)に一部が接する第1導電型の第2の半導体領域(906)と、

前記少なくとも1つの凹部(9D)の底面(98)に対応する前記半導体基板(8)の表面内に設けられた、第2導電型の第3の半導体領域(912)と、

前記第2の主面(MS2)側の前記第1の領域の表面内に設けられた第1導電型の第4の半導体領域(913)と、

前記第4の半導体領域(913)に接するように設けられた第3の主電極(916b)と、をさらに備え、

前記第1の主電極(908)は、前記第2の半導体領域(906)に接するよう配設され、

前記第2の主電極(916a)は、前記第3の半導体領域(912)に電氣的に接続される、請求の範囲1記載の半導体装置。

12. 前記少なくとも1つの凹部は、導体層(920)によって埋め込まれ、前記第3の半導体領域(912)は前記導体層(920)に接し、前記第2の主電極(916a)は前記導体層(920)の表面上に配設される、請求の範囲1記載の半導体装置。

13. 前記第2の主電極(916a)および前記第3の主電極(916b)は、共通主電極(916)として前記第4の半導体領域(913)の表面および前記導体層(920)の表面の両方に跨るよう配設される、請求の範囲12記載の半導体装置。

14. 前記第1の領域において前記第3の半導体領域(912)よりも前記第2の主面(MS2)寄りの位置に設けられた、キャリアのライフタイムが短くなったライフタイム制御領域(915)をさらに備える、請求の範囲11記載の半導体装置。

15. 前記第1の領域において前記第3の半導体領域(912)よりも前記第1の主面(MS1)寄りの位置に設けられた、キャリアのライフタイムが短くなったライフタイム制御領域(915)をさらに備える、請求の範囲11記載の半導体装置。

16. 前記凹部(9D)の側面に対応する前記半導体基板(8)の表面に配設された絶縁膜(914)をさらに備える、請求の範囲11記載の半導体装置。

17. 前記凹部(9D)の深さは、前記第3の半導体領域(912)の底部と前記トレンチ(903)の底部との距離が100~200 μm となるよう設定される、請求の範囲11記載の半導体装置。

18. 前記凹部(9D)の幅は、0.2~100 μm の範囲に設定される、請求の範囲11記載の半導体装置。

19. 前記第1の厚み(A)は、500~650 μm の範囲に設定され、前記第2の厚み(B)は60 μm 程度に設定される、請求の範囲1記載の半導

体装置。

20. 半導体基板(8)の第1の主面(MS1)に設けられた第1の主電極と、

前記半導体基板(8)の第2の主面(MS2)に設けられた第2の主電極とを
備え、前記半導体基板(8)の厚み方向に主電流が流れる半導体装置において、

前記半導体基板(8)は、前記第2の主面(MS2)に設けられた少なくとも
1つの凹部(9D)を有することで、第1の厚みを有する第1の領域(8A)と、
前記第1の厚みよりも薄い第2の厚みを有する第2の領域(8B)とを少なくと
も備え、

前記第2の厚みは、前記半導体装置の耐圧を維持する厚みに設定され

前記第2の領域は、前記少なくとも1つの凹部(9D)の形成領域に対応し、

前記少なくとも1つの凹部(9D)内は導体層(920)が埋め込まれ、

前記第2の主電極は前記導体層(920)の表面上に配設されることを特徴と
する半導体装置。

1/21

図 1

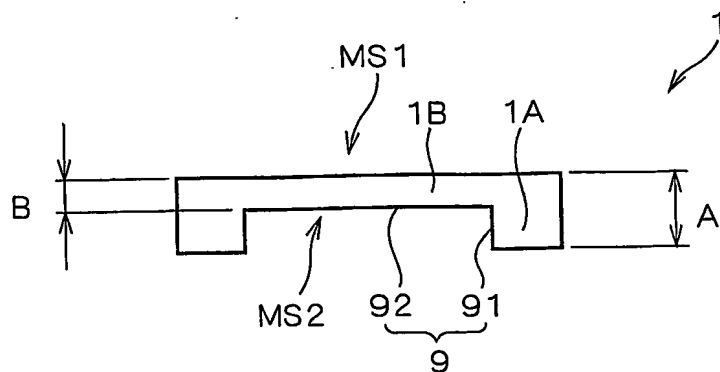
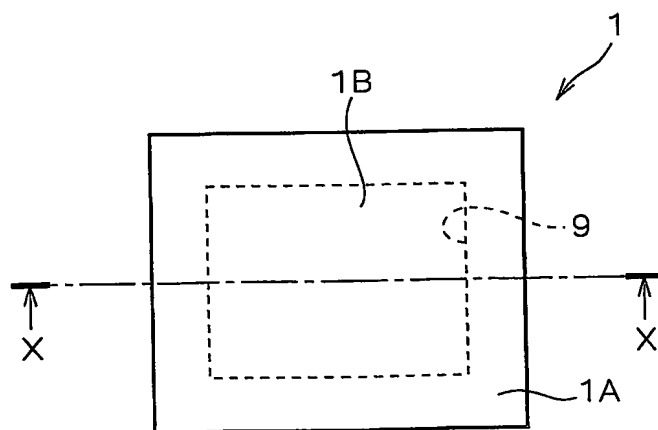
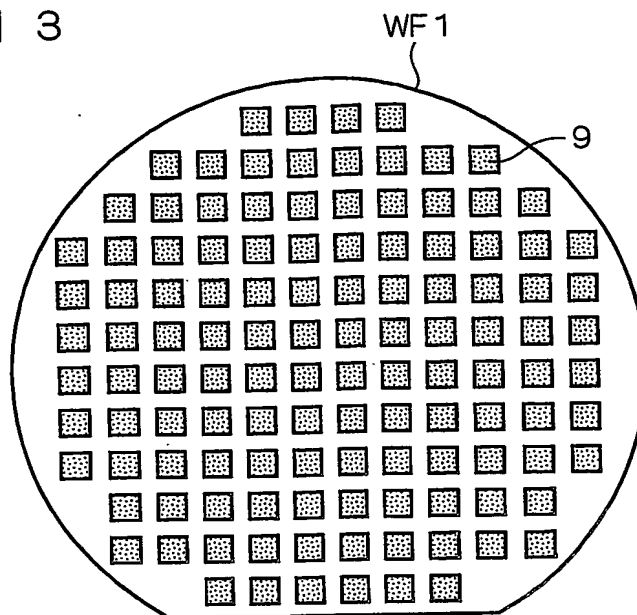


図 2

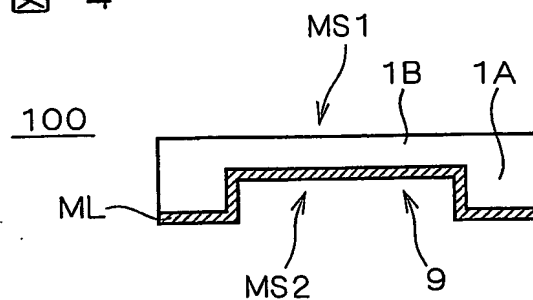


2/21

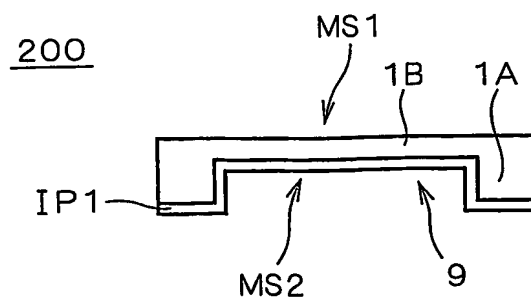
3



4



5



3/21

図 6

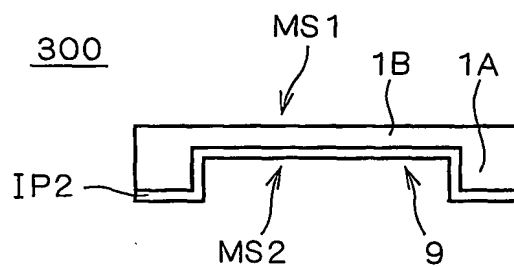


図 7

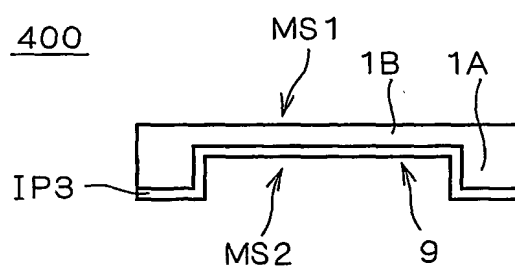
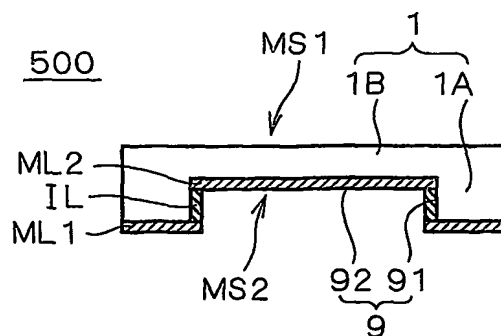


図 8



4/21

図 9

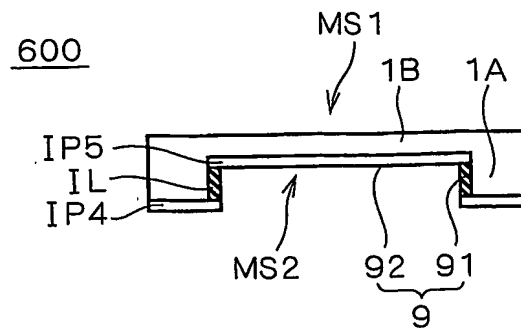


図 10

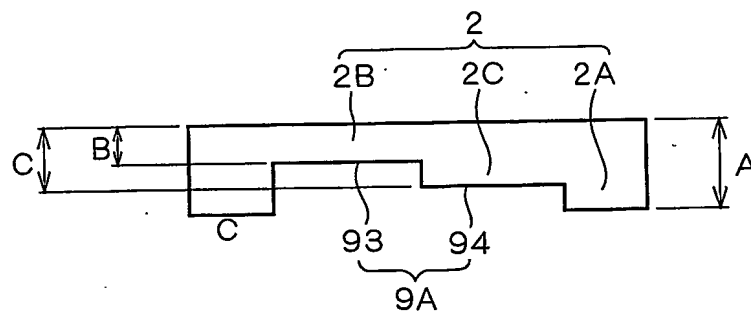
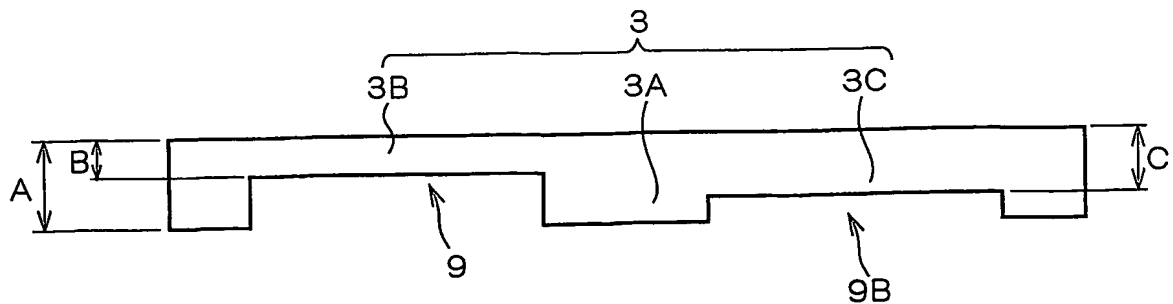
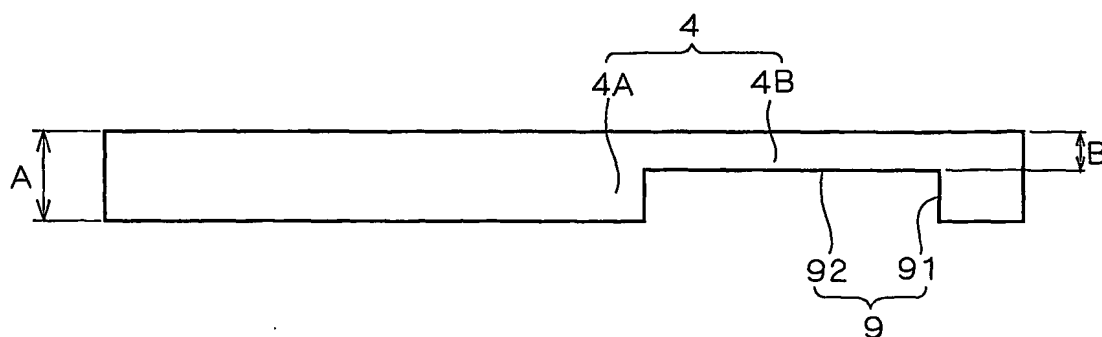


図 11

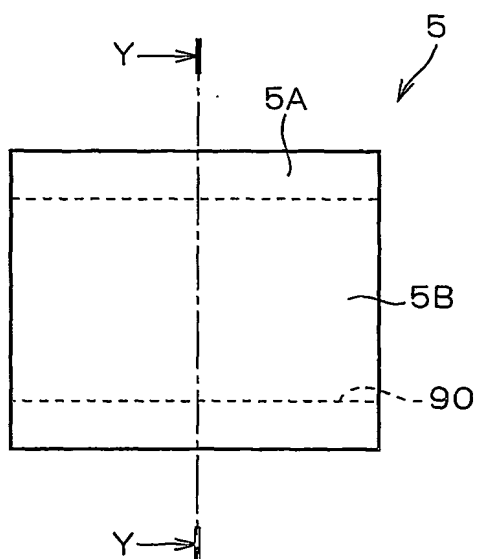


5/21

☒ 1 2



☒ 1 3



6/21

図 1 4

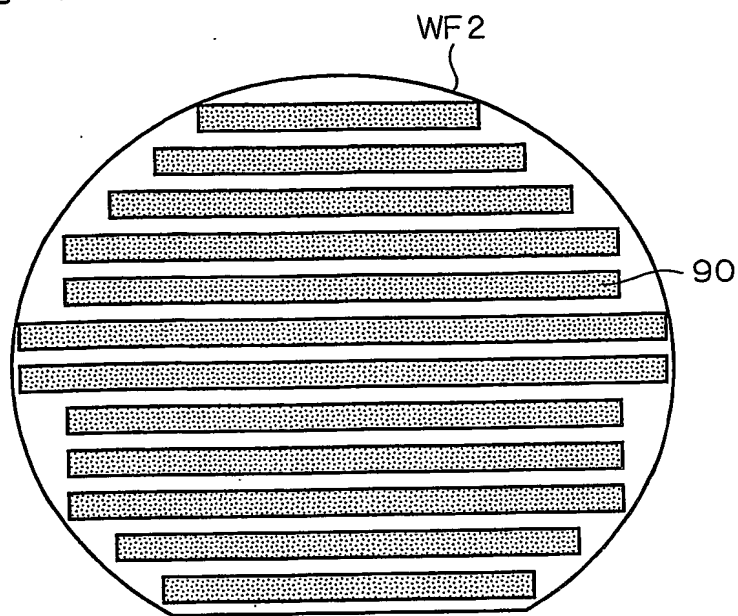


図 1 5

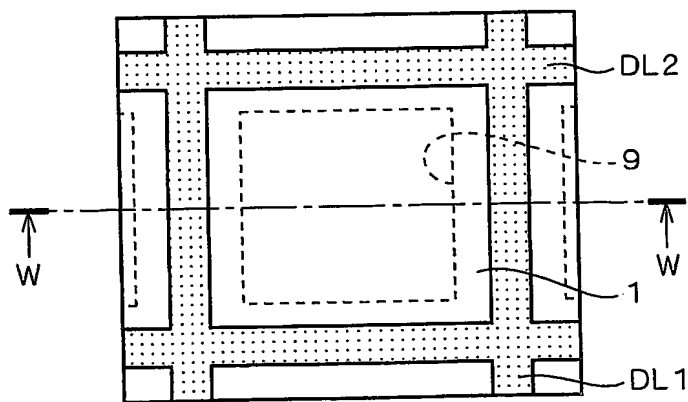
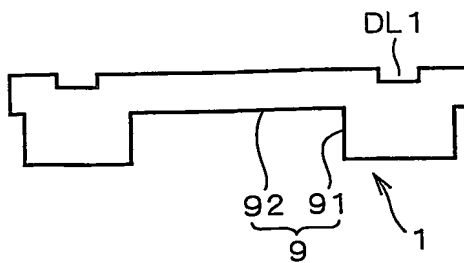


図 1 6



7/21

図 1 7

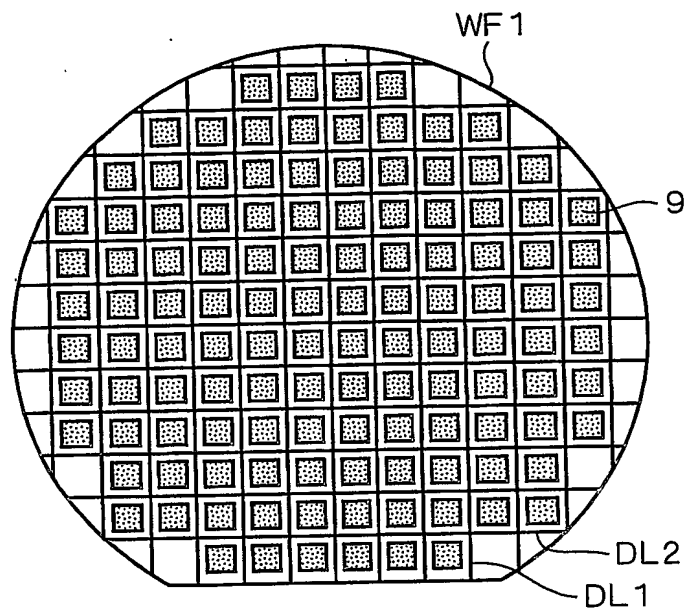
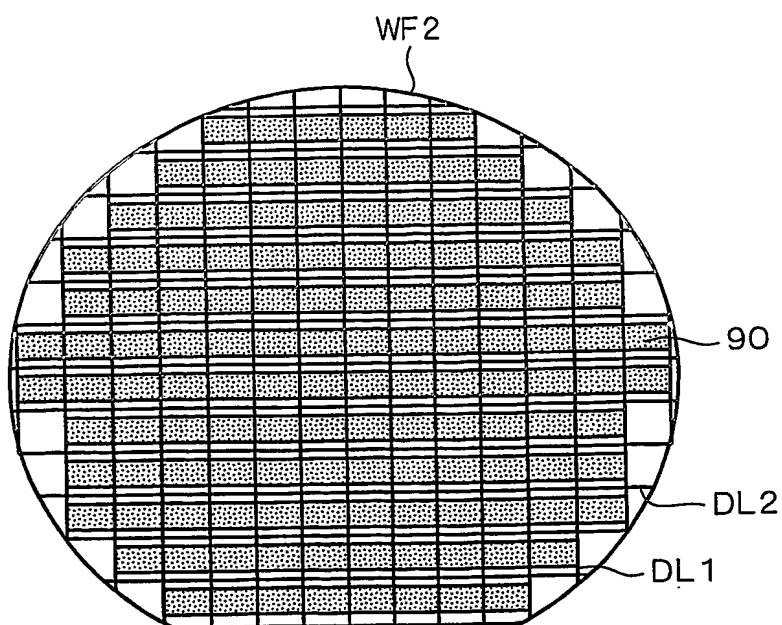


図 1 8



8/21

図 1 9

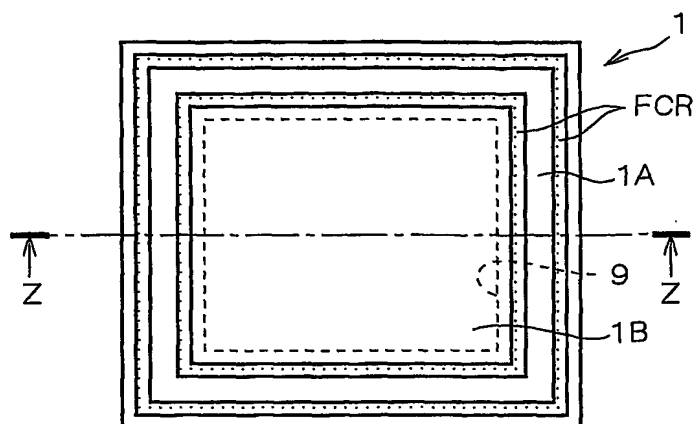


図 2 0

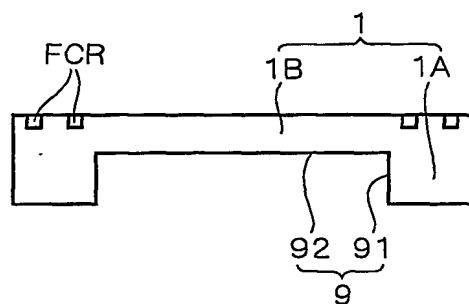
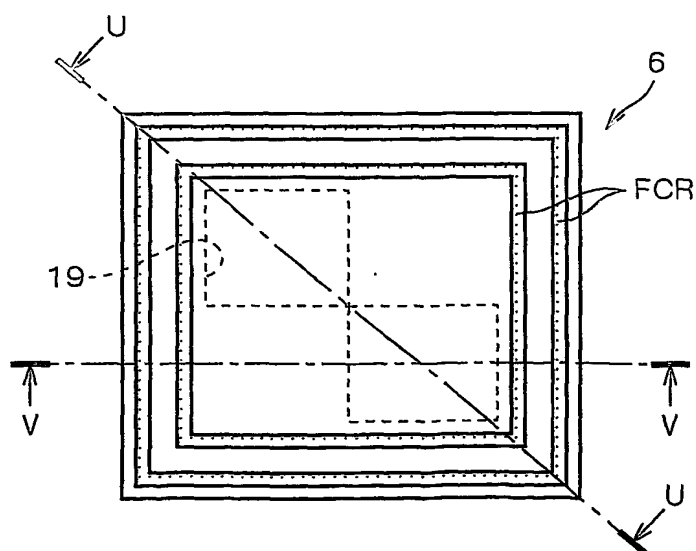
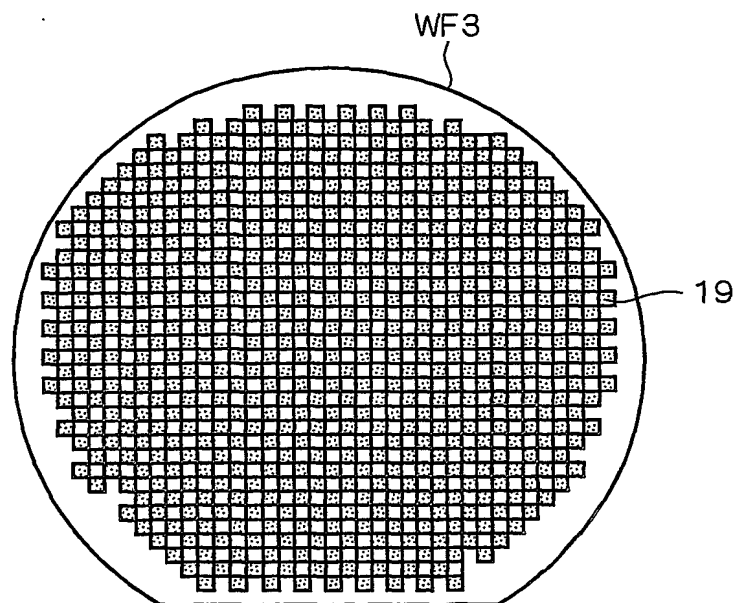


図 2 1

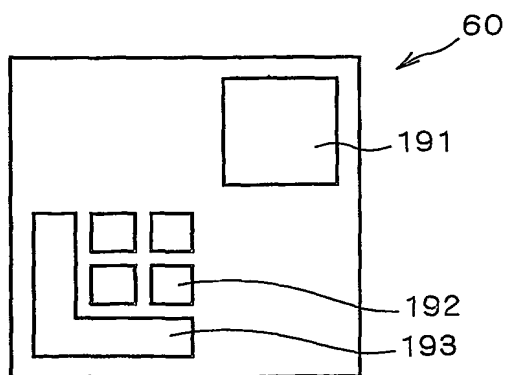


9/21

2 2



2 3



10/21

図 2 4

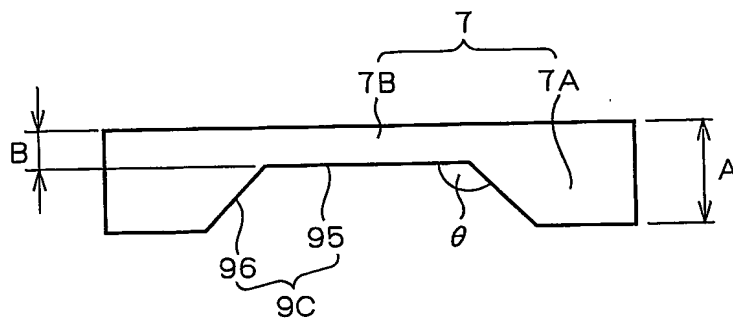
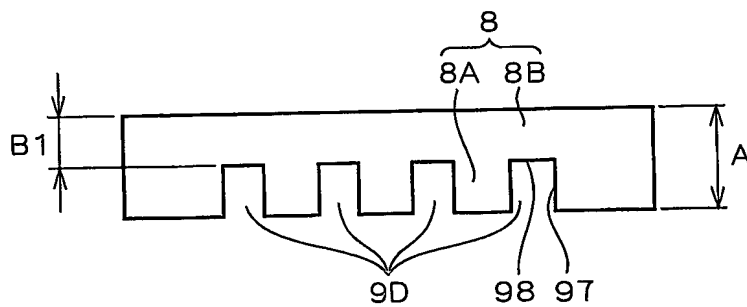
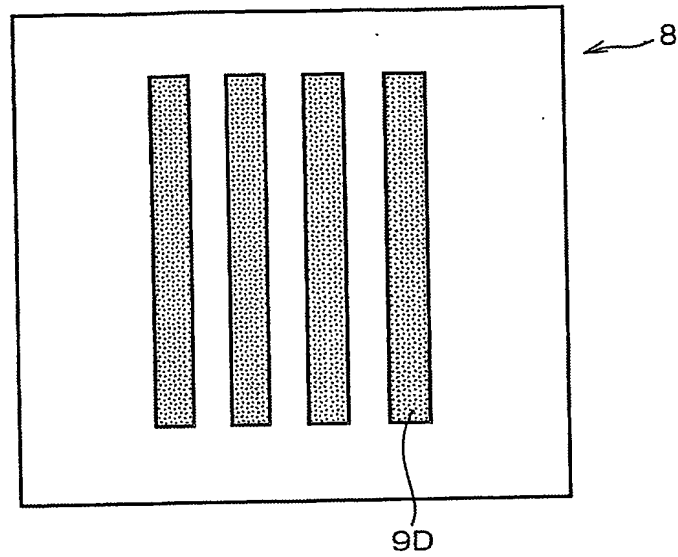


図 2 5



11/21

2 6



2 7

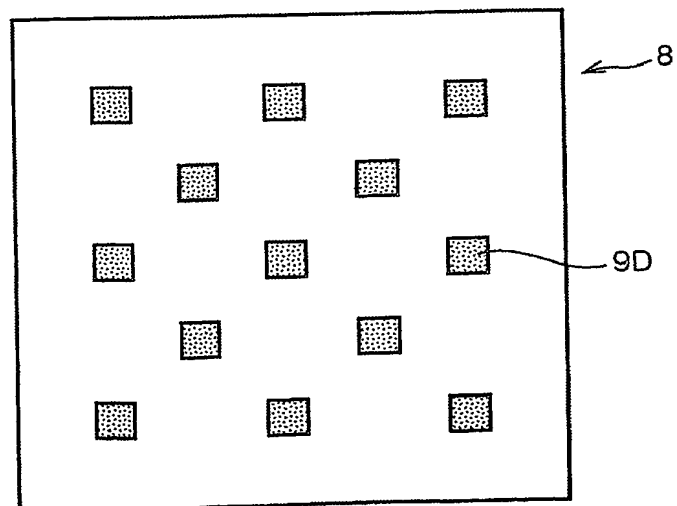
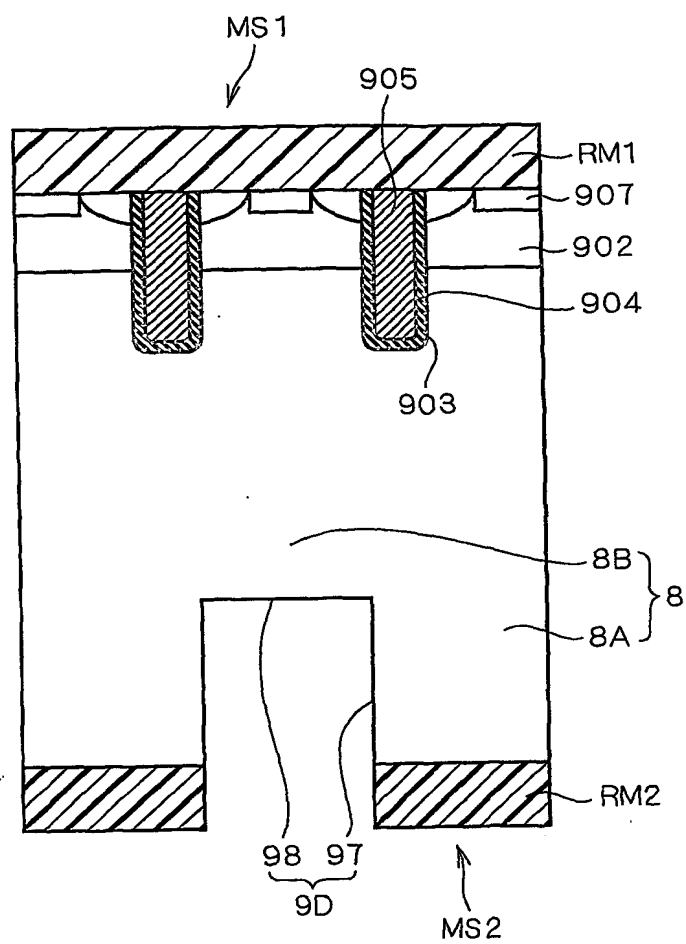
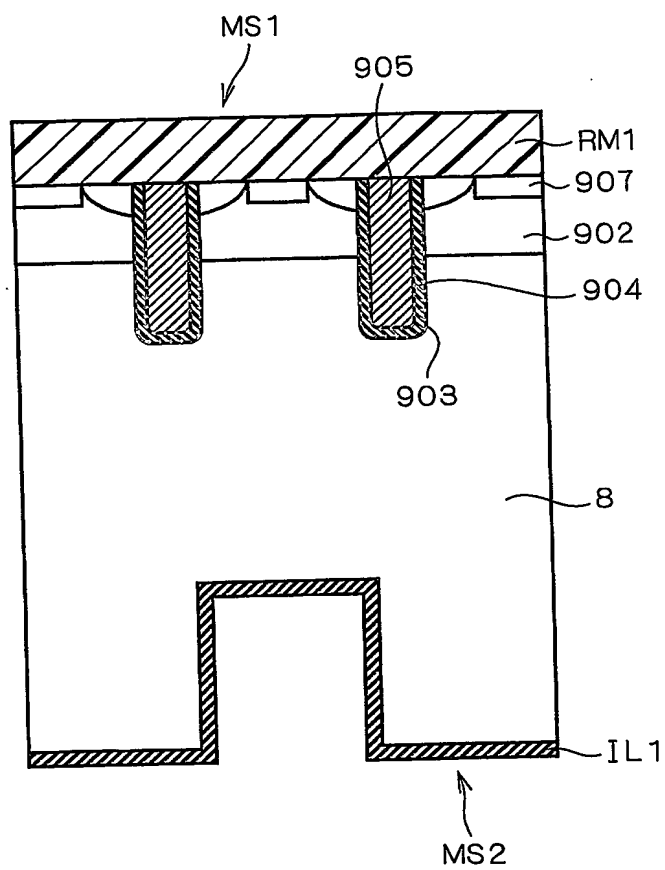


図 2 9



3 0



3 1

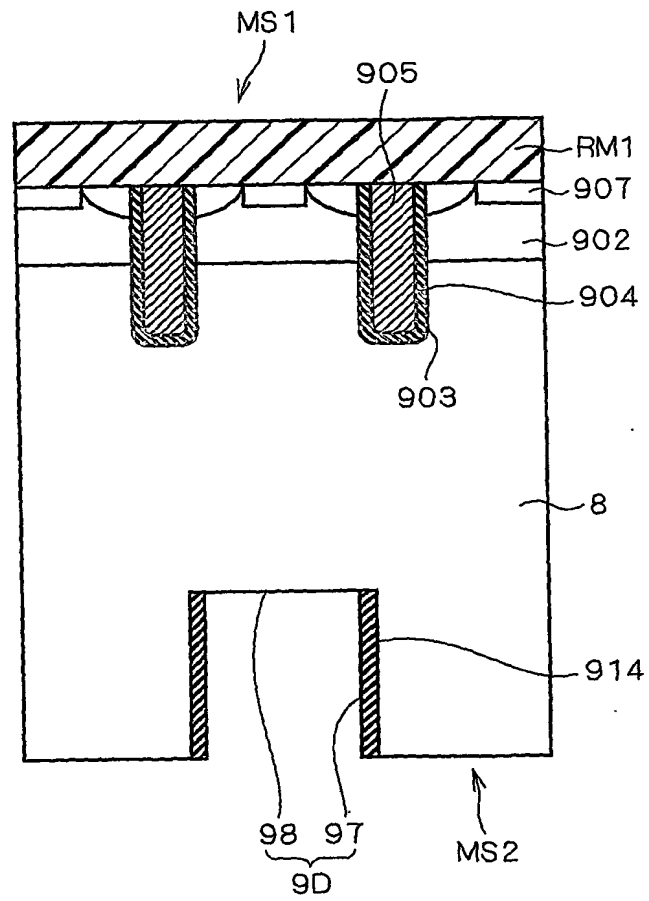
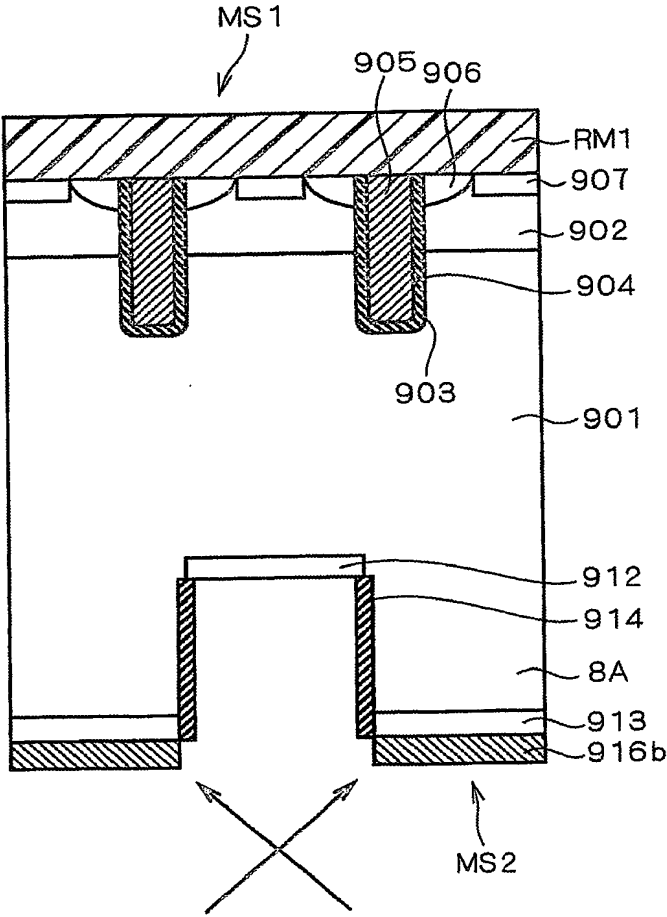
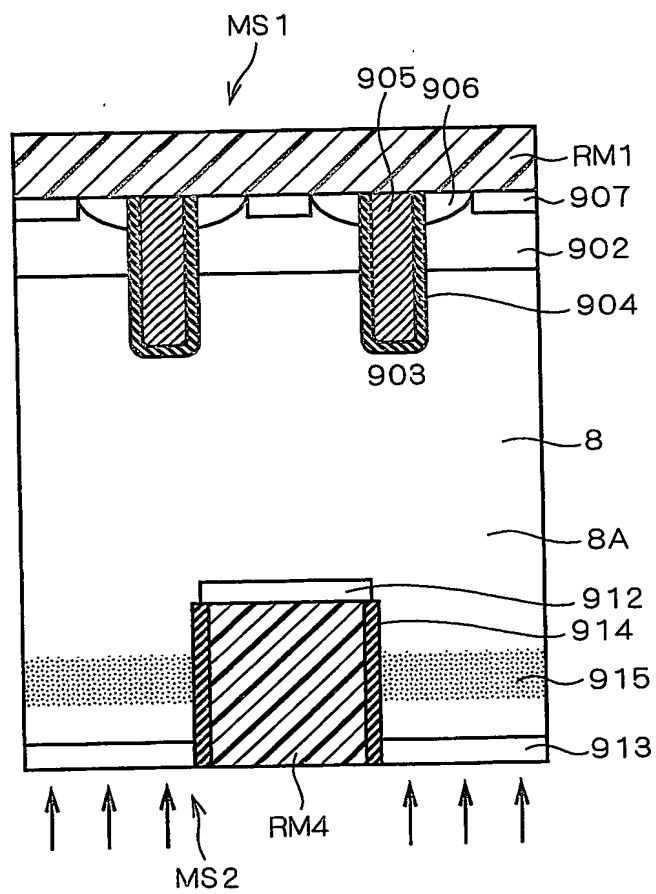


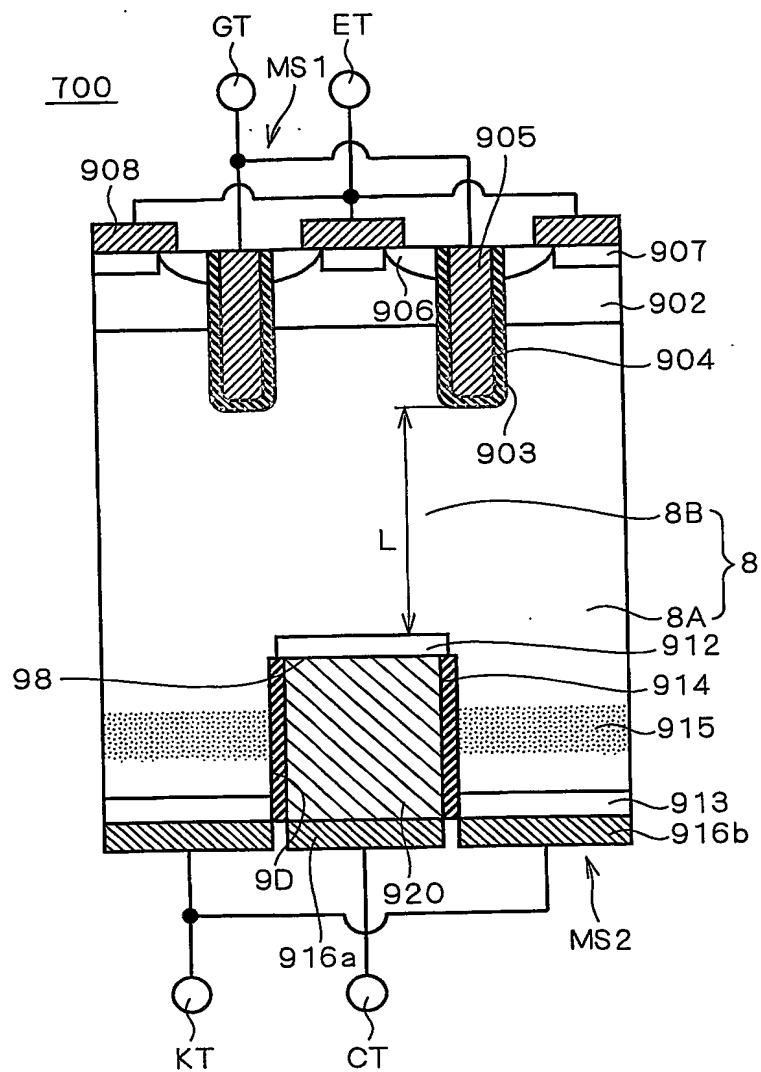
図 3 2



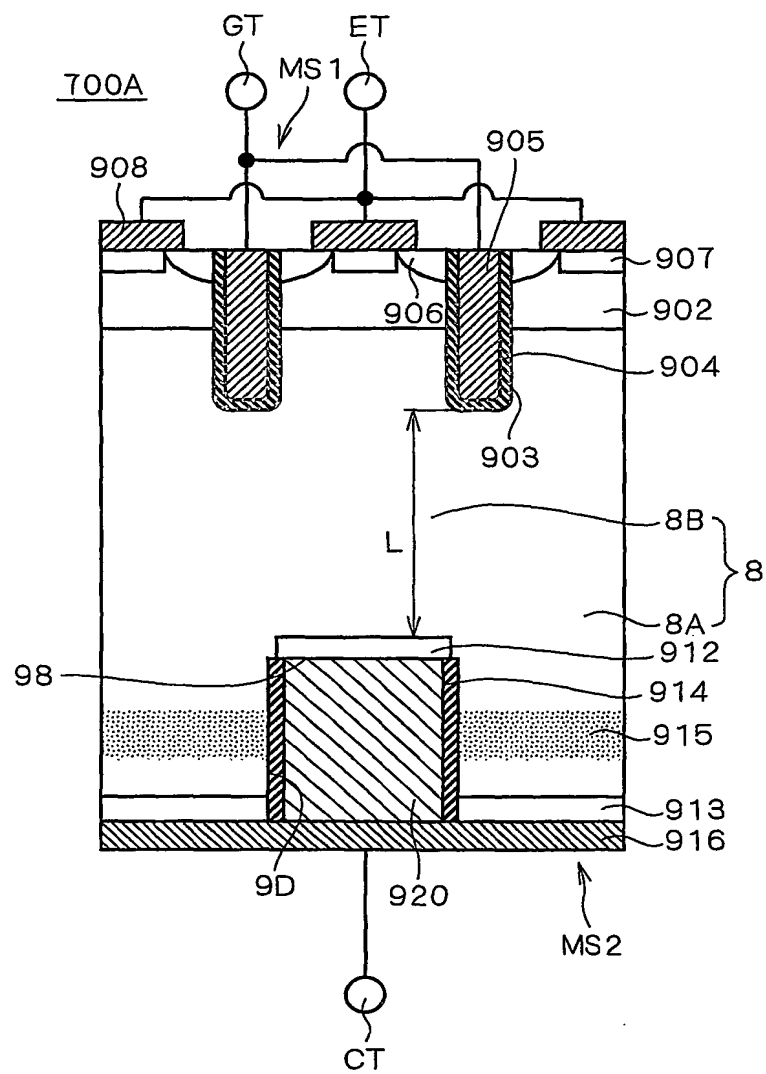
3 3



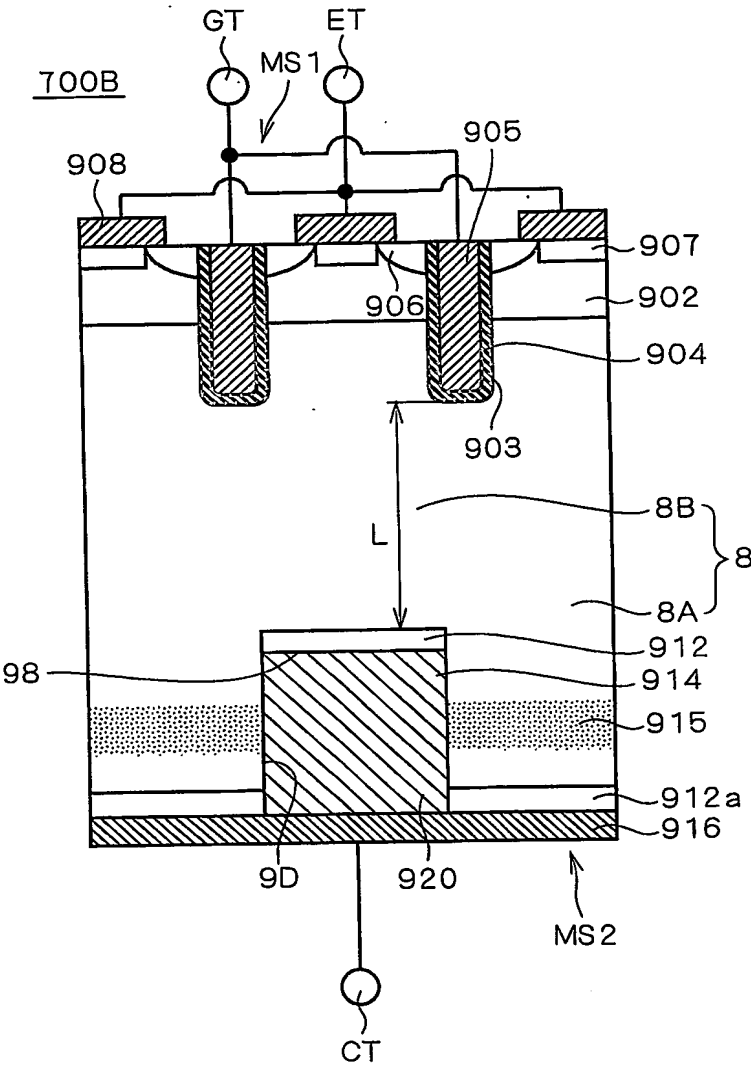
☒ 3 4



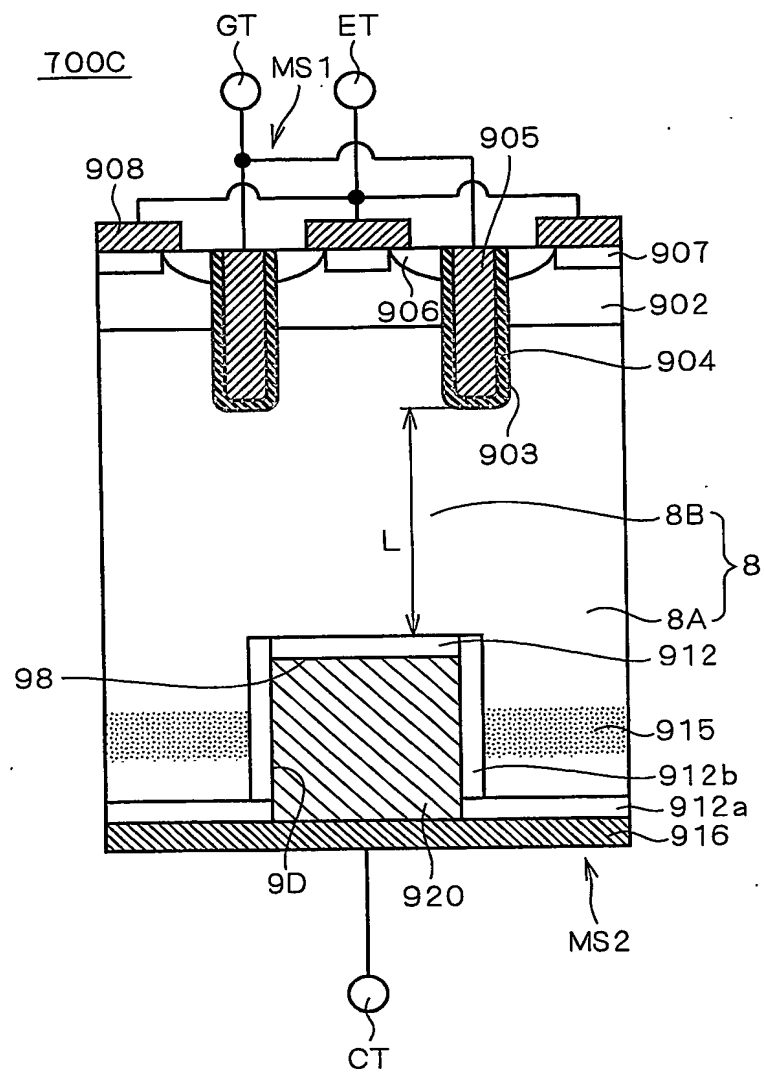
3 5



3 6



3 7



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/08869

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78, H01L21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L29/78, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-076326 A (Shindengen Electric Mfg. Co., Ltd.), 15 March, 2002 (15.03.02), Full text; Figs. 1 to 12 (Family: none)	1-3, 5, 6, 20 4, 7-19
X A	US 6054748 A (Kabushiki Kaisha Toshiba), 25 April, 2000 (25.04.00), Full text; Figs. 1 to 56 & JP 10-321877 A Full text; Figs. 1 to 58 & DE 19811568 A1	1-3, 5, 6, 20 4, 7-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
10 October, 2003 (10.10.03)

Date of mailing of the international search report
28 October, 2003 (28.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08869

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-016266 A (Kabushiki Kaisha Sankosha, Yutaka HAYASHI), 18 January, 2002 (18.01.02), Full text; Figs. 1 to 18 (Family: none)	1-4, 6 5, 7-20
A	JP 6-021358 A (Nippondenso Co., Ltd.), 28 January, 1994 (28.01.94), Full text; Figs. 1 to 4 (Family: none)	8, 9
A	JP 5-190831 A (Nissan Motor Co., Ltd.), 30 July, 1993 (30.07.93), Full text; Figs. 1 to 14 (Family: none)	8, 9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78, H01L21/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78, H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2002-076326 A (新電元工業株式会社) 2002.03.15, 全文, 図1-12 (ファミリーなし)	1-3, 5, 6, 20 4, 7-19
X A	US 6054748 A (Kabushiki Kaisha Toshiba) 2000.04.25, 全文, 図1-56 & JP 10-321877 A, 全文, 図1-58 & DE 19811568 A1	1-3, 5, 6, 20 4, 7-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

10.10.03

国際調査報告の発送日 28.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 小野田 誠

4 L

8427

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2002-016266 A (株式会社サンコーシャ, 林豊), 2002. 01. 18	1-4, 6
A	全文, 図1-18 (ファミリーなし)	5, 7-20
A	J P 6-021358 A (日本電装株式会社) 1994. 01. 28, 全文, 図1-4 (ファミリーなし)	8, 9
A	J P 5-190831 A (日産自動車株式会社) 1993. 07. 30, 全文, 図1-14 (ファミリーなし)	8, 9